

LMKDB12xx PCIe 第 1 代至第 7 代超低抖动 2 输入时钟多路复用器

1 特性

- LP-HCSL 时钟多路复用器支持：
 - PCIe 第 1 代到第 7 代
 - CC (通用时钟) 和 IR (独立基准) PCIe 架构
 - 带或不带 SSC 的输入时钟
- 符合 DB2000QL 规格：
 - 所有器件均符合 DB2000QL 规格
- 极低的附加抖动：
 - 在 156.25MHz 下具有 31fs 的最大 12kHz 至 20MHz RMS 附加抖动
 - PCIe 第 4 代的最大附加抖动为 13fs
 - PCIe 第 5 代的最大附加抖动为 5fs
 - PCIe 第 6 代的最大附加抖动为 3fs
 - PCIe 第 7 代的最大附加抖动为 2.1fs
- 失效防护输入
- 灵活的上电序列
- 自动输出禁用
- 独立输出使能
- 用于启用或禁用高速输出的 SBI (边带接口)
- LOS (信号丢失) 输入检测
- 85 Ω 或 100 Ω 输出阻抗
- 1.8V/3.3V ± 10% 电源
- -40°C 至 105°C 环境温度

2 应用

- 高性能计算
- 服务器主板
- NIC/SmartNIC
- 硬件加速器

3 说明

LMKDB 器件是一系列超低抖动 LP-HCSL 时钟多路复用器，支持 PCIe 第 1 代到第 7 代并符合 DB2000QL 规格。该器件提供灵活的上电序列、失效防护输入、单独的输出使能和禁用引脚、输入信号丢失 (LOS) 检测和自动输出禁用功能，以及出色的电源噪声抑制性能。

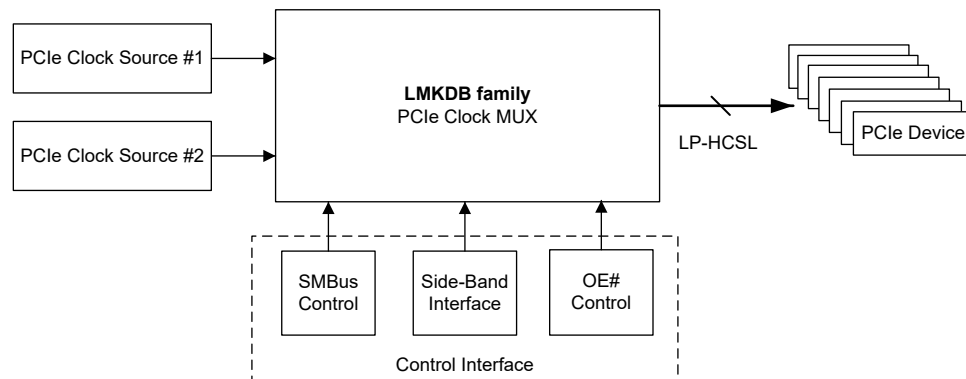
支持 1.8V 和 3.3V 电源电压。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LMKDB1204	REX (VQFN, 28)	4mm × 4mm
LMKDB1202	REY (VQFN, 20)	3mm × 3mm

(1) 有关所有可用封装，请参阅 节 13。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



典型应用



内容

1 特性	1	8.3 特性说明.....	20
2 应用	1	8.4 器件功能模式.....	24
3 说明	1	9 寄存器映射	28
4 器件比较	3	9.1 LMKDB12xx 寄存器.....	28
5 引脚配置和功能	4	10 应用和实施	36
6 规格	9	10.1 应用信息.....	36
6.1 绝对最大额定值.....	9	10.2 典型应用.....	36
6.2 ESD 等级.....	9	10.3 电源相关建议.....	37
6.3 建议运行条件.....	9	10.4 布局.....	39
6.4 热性能信息.....	9	11 器件和文档支持	40
6.5 电气特性.....	10	11.1 文档支持.....	40
6.6 SMBus 时序要求.....	15	11.2 接收文档更新通知.....	40
6.7 SBI 时序要求.....	16	11.3 支持资源.....	40
6.8 时序图.....	16	11.4 商标.....	40
6.9 典型特性.....	17	11.5 静电放电警告.....	40
7 参数测量信息	17	11.6 术语表.....	40
8 详细说明	19	12 修订历史记录	40
8.1 概述.....	19	13 机械、封装和可订购信息	41
8.2 功能方框图.....	19		

4 器件比较

表 4-1. 器件比较

器件型号	类型	输入	输出	输出阻抗	特性
LMKDB1120Z85	缓存器	1	20	85 Ω	所有输入失效防护
LMKDB1120FS85	缓存器	1	20	85 Ω	所有输入和输出都具有失效防护功能
LMKDB1120Z100	缓存器	1	20	100 Ω	所有输入失效防护
LMKDB1116Z85 ⁽¹⁾	缓存器	1	16	85 Ω	所有输入失效防护
LMKDB1116Z100 ⁽¹⁾	缓存器	1	16	100 Ω	所有输入失效防护
LMKDB1113Z85 ⁽¹⁾	缓存器	1	13	85 Ω	所有输入失效防护
LMKDB1113Z100 ⁽¹⁾	缓存器	1	13	100 Ω	所有输入失效防护
LMKDB1112Z85 ⁽¹⁾	缓存器	1	12	85 Ω	所有输入失效防护
LMKDB1112Z100 ⁽¹⁾	缓存器	1	12	100 Ω	所有输入失效防护
LMKDB1108Z85	缓存器	1	8	85 Ω	所有输入失效防护
LMKDB1108FS85	缓存器	1	8	85 Ω	所有输入和输出都具有失效防护功能
LMKDB1108Z100	缓存器	1	8	100 Ω	所有输入失效防护
LMKDB1104Z85	缓存器	1	4	85 Ω	所有输入失效防护
LMKDB1104FS85	缓存器	1	4	85 Ω	所有输入和输出都具有失效防护功能
LMKDB1104Z100	缓存器	1	4	100 Ω	所有输入失效防护
LMKDB1102	缓存器	1	2	85 Ω 或 100 Ω 可选	所有输入失效防护
LMKDB1216 ⁽¹⁾	多路复用器	2	16	85 Ω 或 100 Ω 可选	所有输入失效防护
LMKDB1208 ⁽¹⁾	多路复用器	2	8	85 Ω 或 100 Ω 可选	所有输入失效防护
LMKDB1204	多路复用器	2	4	85 Ω 或 100 Ω 可选	所有输入失效防护
LMKDB1202	多路复用器	2	2	85 Ω 或 100 Ω 可选	所有输入失效防护

(1) 仅为预发布版。如需更多详细信息，请联系 TI。

5 引脚配置和功能

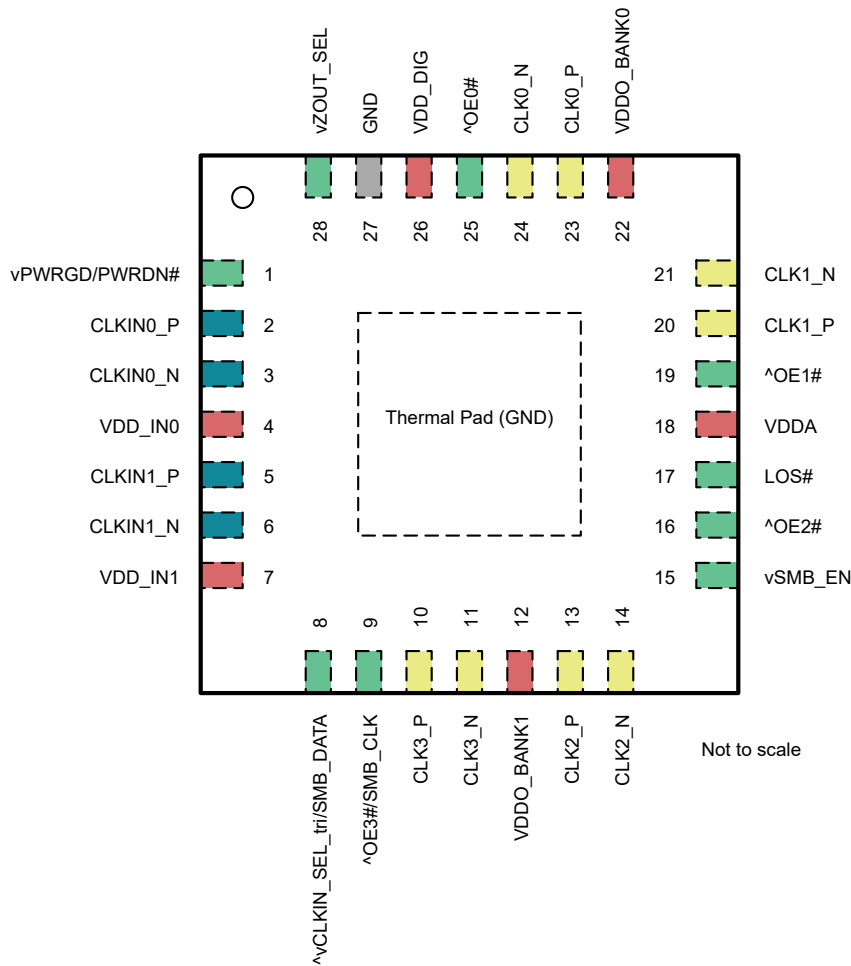


图 5-1. LMKDB1204 4mm × 4mm VQFN 封装 28 引脚 顶视图

图例		
时钟输入	时钟输出	POWER
GND	逻辑控制/状态	无连接

表 5-1. LMKDB1204 引脚功能

引脚		类型 ⁽¹⁾	说明
名称 ^{(2) (3)}	编号		
时钟输入			

表 5-1. LMKDB1204 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称 ^{(2) (3)}	编号		
CLKIN0_P	2	I	差分时钟输入 0。
CLKIN0_N	3	I	
CLKIN1_P	5	I	差分时钟输入 1。
CLKIN1_N	6	I	
时钟输出			
CLK0_P	23	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK0_N	24	O	
CLK1_P	20	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_N	21	O	
CLK2_P	13	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	14	O	
CLK3_P	10	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK3_N	11	O	
POWER			
VDDA	18	P	模拟电源。建议进行额外的电源滤波。有关详细信息，请参阅节 10.3。
VDD_IN0	4	P	CLKIN0 的电源
VDD_IN1	7	P	CLKIN1 的电源
VDD_DIG	26	P	数字的电源
VDDO_BANK1	12	P	输出组 1 的电源 (OUT4 至 OUT7)。
VDDO_BANK0	22	P	输出组 0 的电源 (OUT0 至 OUT3)。
GND	27	G	器件接地端。
散热焊盘 (GND)	Pad	G	器件接地，散热焊盘。
逻辑控制/状态			
^OE0#	25	I	控制 CLK0 的低电平有效输入。内部上拉电阻。 0 = 输出有效, 1 = 输出无效
^OE1#	19	I	控制 CLK1 的低电平有效输入。内部上拉电阻。 0 = 输出有效, 1 = 输出无效
^OE2#	16	I	控制 CLK2 的低电平有效输入。内部上拉电阻。 0 = 输出有效, 1 = 输出无效
^OE3#/SMB_CLK	9	I	CLK3 低电平有效/SMBus 时钟的输出使能。内部上拉电阻。功能由上电时引脚 15 (SMB_EN) 的状态决定。当用作 SMBus 时钟引脚时，需要外部上拉电阻。如果未使用，则不连接。
^vCLKIN_SEL_tri/ SMB_DATA	8	I	3 级时钟输入选择/SMBus 数据。内部上拉和下拉电阻。功能由上电时引脚 15 (SMB_EN) 的状态决定。 当用作 CLKIN_SEL_TRI 引脚时： 低电平 = CLKIN0 进入所有输出 中电平 = CLKIN0 进入组 0, CLKIN1 进入组 1 高电平 = CLKIN1 进入所有输出 当用作 SMBus 数据引脚时，需要外部上拉电阻。
vPWRGD/PWRDN#	1	I	电源正常/断电低电平有效。多功能输入引脚。内部下拉电阻。 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 低电平 = 断电模式 高电平 = 正常运行模式

表 5-1. LMKDB1204 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称 ^{(2) (3)}	编号		
vSMB_EN	15	I	SMBus 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 上电时为低电平 = 禁用 SMBus。引脚 8 是 CLKIN_SEL_tri，引脚 9 是 OE3#。 上电时为高电平 = 启用 SMBus。引脚 8 是 SMB_DATA，引脚 9 是 SMB_CLK。
vZOUT_SEL	28	I	LP-HCSL 差分时钟输出阻抗选择。内部下拉电阻。 低电平 = 85 Ω。 高电平 = 100 Ω。
LOS#	17	O	输入时钟信号丢失低电平有效/无连接。开漏。需要外部上拉电阻。 低电平 = 输入时钟无效。 高电平 = 输入时钟有效。

- (1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源, NC = 无连接
 (2) 前缀为“^”的引脚有一个内部上拉电阻器。前缀为“v”的引脚有一个内部下拉电阻器。带“^v”的引脚具有内部上拉电阻和内部下拉电阻, 因此当引脚悬空时会选择中电平。具有“^v”的引脚具有基于所选功能的内部上拉或下拉电阻。
 (3) “#”符号表示低电平有效。

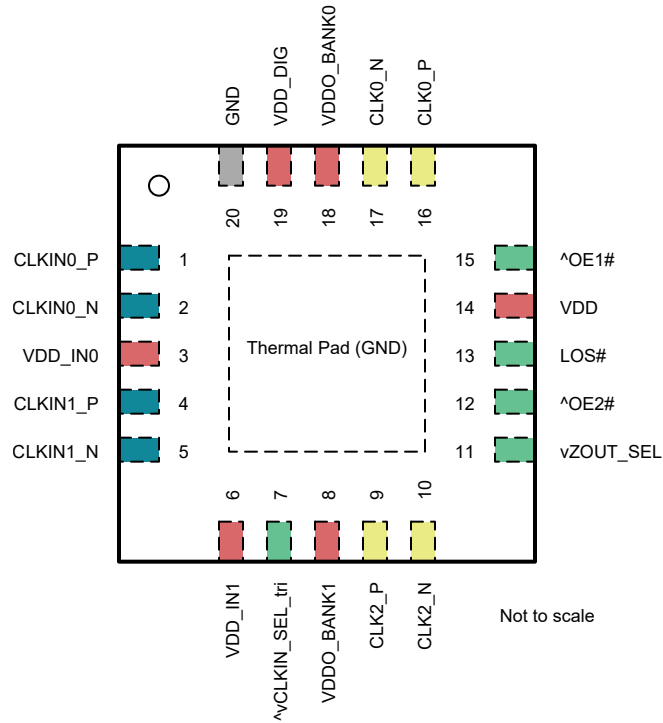


图 5-2. LMKDB1202 3mm × 3mm VQFN 封装 20 引脚 顶视图

图例		
时钟输入	时钟输出	POWER
GND	逻辑控制/状态	无连接

表 5-2. LMKDB1202 引脚功能

引脚		类型 ⁽¹⁾	说明
名称 ^{(2) (3)}	编号		
时钟输入			
CLKIN0_P	1	I	差分时钟输入 0。
CLKIN0_N	2	I	
CLKIN1_P	4	I	差分时钟输入 1。
CLKIN1_N	5	I	
时钟输出			
CLK1_P	16	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_N	17	O	
CLK2_P	9	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	10	O	
POWER			
VDD	14	P	模拟电源。建议进行额外的电源滤波。有关详细信息，请参阅 节 10.3。
VDD_IN0	3	P	CLKIN0 的电源
VDD_IN1	6	P	CLKIN1 的电源
VDD_DIG	19	P	数字的电源

表 5-2. LMKDB1202 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称 ^{(2) (3)}	编号		
VDDO_BANK1	8	P	输出组 1 的电源。
VDDO_BANK0	18	P	输出组 0 的电源。
GND	20	G	器件接地端。
散热焊盘 (GND)	Pad	G	器件接地, 散热焊盘。
逻辑控制/状态			
^OE1#	15	I	控制 CLK1 的低电平有效输入。内部上拉电阻。 0 = 输出有效, 1 = 输出无效
^OE2#	12	I	控制 CLK2 的低电平有效输入。内部上拉电阻。 0 = 输出有效, 1 = 输出无效
^vCLKIN_SEL_tri	7	I	3 级时钟输入选择。内部上拉和下拉电阻。 低电平 = CLKIN0 进入所有输出 中电平 = CLKIN0 进入组 0, CLKIN1 进入组 1 高电平 = CLKIN1 进入所有输出
vZOUT_SEL	11	I	LP-HCSL 差分时钟输出阻抗选择。内部下拉电阻。 低电平 = 85 Ω。 高电平 = 100 Ω。
LOS#	13	O	输入时钟信号丢失低电平有效/无连接。开漏。需要外部上拉电阻。 低电平 = 输入时钟无效。 高电平 = 输入时钟有效。

- (1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源, NC = 无连接
 (2) 前缀为“^”的引脚有一个内部上拉电阻器。前缀为“v”的引脚有一个内部下拉电阻器。带“^v”的引脚具有内部上拉电阻和内部下拉电阻, 因此当引脚悬空时会选择中电平。具有“^v”的引脚具有基于所选功能的内部上拉或下拉电阻。
 (3) “#”符号表示低电平有效。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{DDx}	任何 VDD 引脚上的电源电压	-0.3	3.63	V
V _{IN}	CLKIN 和数字输入引脚上的输入电压	-0.3	3.63	V
I _{OUT}	输出电流 - 持续 (CLKOUT)		30	mA
	输出电流 - 持续 (SMB_DATA、SBI_OUT)		25	mA
	输出电流 - 浪涌 (CLKOUT)		60	mA
	输出电流 - 浪涌 (SMB_DATA、SBI_OUT)		50	mA
T _S	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
T _J	结温			125	°C
T _A	环境温度	-40		105	°C
V _{DD}	电源电压	2.97	3.3	3.6	V
		1.71	1.8	1.89	V
V _{IN}	CLKIN 和数字输入引脚上的输入电压	-0.3		3.6	V
t _{ramp}	功率斜升时间	0.05		5	ms

6.4 热性能信息

封装	引脚	热指标 ⁽¹⁾						单位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
REX0028 (VQFN)	28	44.2	36.8	20.6	0.9	20.6	5.9	°C/W
REY0020 (VQFN)	20	46.4	50.4	20.3	1.1	20.3	6.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

6.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
时钟输入要求						
$V_{IN, cross}$	时钟输入交叉点电压		100		1400	mV
DC_{IN}	时钟输入占空比		45		55	%
V_{IN}	差分时钟输入幅度 (差分峰峰值电压的一半)	$f_0 \leq 300\text{MHz}$	200		2000	mV
		$300\text{MHz} < f_0 \leq 400\text{MHz}$	250		2000	mV
dV_{IN}/dt	时钟输入压摆率	在 -150mV 至 +150mV 范围内测量差分波形	0.6			V/ns
时钟输出特性 - 100MHz 85 Ω PCIe						
$V_{OH, AC}$	输出电压高电平	DB2000QL 交流测试负载 ⁽⁶⁾	670		820	mV
$V_{OL, AC}$	输出电压低电平		-100		100	mV
$V_{max, AC}$	最大输出电压 (包括过冲)		670		920	mV
$V_{min, AC}$	最小输出电压 (包括下冲)		-100		100	mV
$V_{OH, DC}$	直流测试负载时输出电压高电平	DB2000QL 直流测试负载 ⁽²⁾	225		270	mV
$V_{OL, DC}$	直流测试负载时输出电压低电平		10		150	mV
$V_{ovs, DC}$	直流测试负载时输出过冲电压				75	mV
$V_{uds, DC}$	直流测试负载时输出下冲电压			-75		mV
Z_{diff}	差分输出阻抗	在 V_{OL}/V_{OH} , $V_{DD} = 3.3\text{V}$ 时测量	80.75	85	89.25	Ω
		在 V_{OL}/V_{OH} , $V_{DD} = 1.8\text{V}$ 时测量	81	85	90	Ω
$Z_{diff-crossing}$	差分输出阻抗 - 交叉	在转换期间测量	68	85	102	Ω
dV/dt	输出压摆率	在 -150mV 至 +150mV 范围内测量差分波形。最低压摆率 ^{(6) (7)}	1.5		2.2	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。低压摆率 ^{(6) (7)}	1.8		2.6	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。高压摆率 (默认) ^{(6) (7)}	2		2.9	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。最高压摆率 ^{(6) (7)}	2.4		4	V/ns
$\Delta dV/dt$	上升沿速率与下降沿速率匹配	DB2000QL 交流测试负载 ⁽⁶⁾			10	%
DCD	占空比失真	在差分波形上测量。输入占空比 = 50% ⁽⁶⁾	-1		1	%
$V_{cross, AC}$	绝对交叉点电压	DB2000QL 交流测试负载 ⁽⁶⁾	250		550	mV
$V_{cross, DC}$	绝对交叉点电压	DB2000QL 直流测试负载 ⁽²⁾	130		200	mV
$\Delta V_{cross, AC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 交流测试负载 ⁽⁶⁾			140	mV
$\Delta V_{cross-DC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 直流测试负载 ⁽²⁾			35	mV
$ V_{RB} $	PCIe 中定义的回铃电压绝对值	DB2000QL 交流测试负载 ⁽⁶⁾	100			mV
t_{stable}	允许 V_{RB} 之前的时间	DB2000QL 交流测试负载 ⁽⁶⁾	500			ps
时钟输出特性 - 100MHz 100 Ω PCIe						
V_{max}	包括过冲的输出电压高电平	PCIe 交流测试负载 ⁽¹⁾	670		920	mV
V_{min}	包括下冲的输出电压低电平	PCIe 交流测试负载 ⁽¹⁾	-100		100	mV
V_{OH}	输出电压高电平	PCIe 交流测试负载 ⁽¹⁾	670		820	mV
V_{OL}	输出电压低电平	PCIe 交流测试负载 ⁽¹⁾	-100		100	mV

6.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
Z _{diff}	差分输出直流阻抗	V _{DD} = 3.3V	95	100	105	Ω
		V _{DD} = 1.8V	95	100	105	Ω
dV/dt	输出压摆率	在 -150mV 至 +150mV 范围内测量差分波形。最低压摆率 ^{(1) (7)}	1.5		2.2	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。低压摆率 ^{(1) (7)}	1.8		2.6	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。高压摆率 ^{(1) (7)}	2		2.9	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。最高压摆率 ^{(1) (7)}	2.4		4	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	PCIe 交流测试负载 ⁽¹⁾		10	%	
DCD	占空比失真	在差分波形上测量。输入占空比 = 50% ⁽¹⁾	-1		1	%
V _{cross}	绝对交叉点电压	PCIe 交流测试负载 ⁽¹⁾	250		550	mV
ΔV _{cross}	V _{cross} 在所有时钟边沿上的变化	PCIe 交流测试负载 ⁽¹⁾			140	mV
V _{RB}	PCIe 中定义的回铃电压绝对值	PCIe 交流测试负载 ⁽¹⁾	100			mV
t _{stable}	允许 V _{RB} 之前的时间	PCIe 交流测试负载 ⁽¹⁾	500			ps
时钟输出特性 - 非 PCIe						
V _{OH}	输出电压高电平	输出摆幅编程为 800mV。f ₀ = 156.25MHz 或 312.5MHz	720		880	mV
V _{OL}	输出电压低电平		-120		120	mV
V _{OH}	输出电压高电平	输出摆幅编程为 900mV。f ₀ = 156.25MHz 或 312.5MHz	780		980	mV
V _{OL}	输出电压低电平		-120		120	mV
t _R , t _F	单端波形的上升/下降时间, 20% 至 80%	输出摆幅编程为 800mV。最快的压摆率。f ₀ = 156.25MHz 或 312.5MHz			340	ps
		输出摆幅编程为 900mV。最快的压摆率。f ₀ = 156.25MHz 或 312.5MHz			370	ps
DCD	占空比失真	输入占空比 = 50%	-1		1	%
频率和时序特性						
f ₀	工作频率	禁用自动输出禁用功能	1		400	MHz
		启用自动输出禁用功能	25		400	MHz
t _{startup}	启动时间	冷启动。从 VDD 有效 (最终 VDD 的 90%) 到输出时钟稳定之间测量 ⁽³⁾ 。输入时钟在 VDD 有效之前提供。PWRGD_PWRDN# 引脚连接至 VDD。f ₀ ≥ 100MHz			0.4	ms
		冷启动。从 VDD 有效 (最终 VDD 的 90%) 到输出时钟稳定之间测量 ⁽³⁾ 。输入时钟在 VDD 有效之前提供。PWRGD_PWRDN# 引脚连接至 VDD。f ₀ < 100MHz			0.8	ms
t _{stable}	时钟稳定时间	VDD 稳定。从 PWRGD 置为有效 ⁽⁴⁾ 到输出时钟稳定之间测量。f ₀ ≥ 100MHz ⁽³⁾			0.4	ms
		VDD 稳定。从 PWRGD 置为有效 ⁽⁴⁾ 到输出时钟稳定之间测量。f ₀ < 100MHz ⁽³⁾			0.8	ms
t _{PD#}	断电置为无效时间	从 PWRDN# 置为无效 ⁽⁴⁾ 到输出时钟稳定之间测量。f ₀ ≥ 100MHz ⁽³⁾			0.15	ms
		从 PWRDN# 置为无效 ⁽⁴⁾ 到输出时钟稳定之间测量。f ₀ < 100MHz ⁽³⁾			0.5	ms

6.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t_{OE}	输出使能/禁用时间	从 OE 置为有效/置为无效 ⁽⁴⁾ 到输出时钟启动/停止经过的时间。	4		10	clk
$t_{LOS-assert}$	LOS# 置为有效时间	从输入时钟丢失到 LOS# 置为有效经过的时间。 $f_0 < 100\text{MHz}$			120	ns
		从输入时钟丢失到 LOS# 置为有效经过的时间。 $f_0 \geq 100\text{MHz}$			120	ns
$t_{LOS-deassert}$	LOS# 置为无效时间	从输入时钟存在到 LOS# 置为无效经过的时间。 $f_0 < 100\text{MHz}$			340	ns
		从输入时钟存在到 LOS# 置为无效经过的时间。 $f_0 \geq 100\text{MHz}$			105	ns
t_{AOD}	自动输出禁用时间	从 LOS# 置为有效到输出禁用 (两个输出均为低电平/低电平) 经过的时间。 $f_0 < 100\text{MHz}$			0.07	ns
		从 LOS# 置为有效到输出禁用 (两个输出均为低电平/低电平) 经过的时间, $f_0 \geq 100\text{MHz}$			0.07	ns
t_{AOE}	自动输出使能时间	从 LOS# 置为无效到输出时钟稳定经过的时间。 $f_0 < 100\text{MHz}$ ⁽³⁾			115	ns
		从 LOS# 置为无效到输出时钟稳定经过的时间, $f_0 \geq 100\text{MHz}$ ⁽³⁾			22	ns
t_{switch}	开关时间	在两个 100MHz 输入时钟之间切换 (仅限多路复用器)			70	ns
偏斜和延迟特性						
t_{skew}	输出到输出偏斜	同一组			50	ps
		任何组			50	ps
	器件间延迟				330	ps
t_{PD}	输入到输出延迟				1	ns
Δt_{PD}	输入到输出延迟变化	单个器件过温和过压			1.7	ps/°C
抖动特性						
$J_{PCle1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 $\geq 3.5\text{V/ns}$ 。 差分输入摆幅 $\geq 1600\text{mV}$			442.5	fs
$J_{PCle2-CC}$	PCIe 第 2 代 CC 抖动				39	fs
$J_{PCle3-CC}$	PCIe 第 3 代 CC 抖动				12.3	fs
$J_{PCle4-CC}$	PCIe 第 4 代 CC 抖动				12.3	fs
$J_{PCle5-CC}$	PCIe 第 5 代 CC 抖动				4.9	fs
$J_{PCle6-CC}$	PCIe 第 6 代 CC 抖动				3	fs
$J_{PCle7-CC}$	PCIe 第 7 代 CC 抖动				2.1	fs
$J_{PCle2-IR}$	PCIe 第 2 代 IR 抖动				33.8	fs
$J_{PCle3-IR}$	PCIe 第 3 代 IR 抖动				14.1	fs
$J_{PCle4-IR}$	PCIe 第 4 代 IR 抖动				14.5	fs
$J_{PCle5-IR}$	PCIe 第 5 代 IR 抖动				3.9	fs
$J_{PCle6-IR}$	PCIe 第 6 代 IR 抖动				3	fs
$J_{PCle7-IR}$	PCIe 第 7 代 IR 抖动				2.1	fs

6.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
JPCle1-CC	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 $\geq 1.5\text{V/ns}$ 。 差分输入摆幅 $\geq 800\text{mV}$			583.2	fs
JPCle2-CC	PCIe 第 2 代 CC 抖动				51.3	fs
JPCle3-CC	PCIe 第 3 代 CC 抖动				16	fs
JPCle4-CC	PCIe 第 4 代 CC 抖动				16	fs
JPCle5-CC	PCIe 第 5 代 CC 抖动				6.4	fs
JPCle6-CC	PCIe 第 6 代 CC 抖动				3.9	fs
JPCle7-CC	PCIe 第 7 代 CC 抖动				2.8	fs
JPCle2-IR	PCIe 第 2 代 IR 抖动				41.9	fs
JPCle3-IR	PCIe 第 3 代 IR 抖动				18.3	fs
JPCle4-IR	PCIe 第 4 代 IR 抖动				18.9	fs
JPCle5-IR	PCIe 第 5 代 IR 抖动				5.1	fs
JPCle6-IR	PCIe 第 6 代 IR 抖动				3.8	fs
JPCle7-IR	PCIe 第 7 代 IR 抖动				2.6	fs
JPCle1-CC	PCIe 第 1 代 CC 抖动		两个输入 (仅适用于多路复用器) 都有正在运行的时钟。CLK_SEL 引脚 = 低电平 (CLKIN0 = 100MHz, CLKIN1 = 99.75MHz)、中电平 (CLKIN0 = 100MHz, CLKIN1 = 99.75MHz) 或高电平 (CLKIN0 = 99.7MHz, CLKIN1 = 100MHz)。输入压摆率 $\geq 3.5\text{V/ns}$ 。差分输入摆幅 $\geq 1600\text{mV}$	255.3	517.5	
JPCle2-CC	PCIe 第 2 代 CC 抖动	30		45.3		fs
JPCle3-CC	PCIe 第 3 代 CC 抖动	8.3		13.7		fs
JPCle4-CC	PCIe 第 4 代 CC 抖动	8.3		13.7		fs
JPCle5-CC	PCIe 第 5 代 CC 抖动	2.9		5.5		fs
JPCle6-CC	PCIe 第 6 代 CC 抖动	2		3.5		fs
JPCle7-CC	PCIe 第 7 代 CC 抖动	1.4		2.5		fs
JPCle2-IR	PCIe 第 2 代 IR 抖动	31.9		48.5		fs
JPCle3-IR	PCIe 第 3 代 IR 抖动	8.8		21.7		fs
JPCle4-IR	PCIe 第 4 代 IR 抖动	8.8		21.7		fs
JPCle5-IR	PCIe 第 5 代 IR 抖动	3.4		6.7		fs
JPCle6-IR	PCIe 第 6 代 IR 抖动	2.8		4.7		fs
JPCle7-IR	PCIe 第 7 代 IR 抖动	1.4		2.5		fs
JPCle1-CC	PCIe 第 1 代 CC 抖动	两个输入 (仅适用于多路复用器) 都有正在运行的时钟。CLK_SEL 引脚 = 低电平 (CLKIN0 = 100MHz, CLKIN1 = 99.75MHz)、中电平 (CLKIN0 = 100MHz, CLKIN1 = 99.75MHz) 或高电平 (CLKIN0 = 99.7MHz, CLKIN1 = 100MHz)。包括串扰。输入压摆率 $\geq 1.5\text{V/ns}$ 。差分输入摆幅 $\geq 800\text{mV}$		388.6	669.5	
JPCle2-CC	PCIe 第 2 代 CC 抖动		35.4	57		fs
JPCle3-CC	PCIe 第 3 代 CC 抖动		10.1	17.1		fs
JPCle4-CC	PCIe 第 4 代 CC 抖动		10.1	17.1		fs
JPCle5-CC	PCIe 第 5 代 CC 抖动		3.7	7.4		fs
JPCle6-CC	PCIe 第 6 代 CC 抖动		2.4	4.4		fs
JPCle7-CC	PCIe 第 7 代 CC 抖动		1.7	3.1		fs
JPCle2-IR	PCIe 第 2 代 IR 抖动		35.4	57		fs
JPCle3-IR	PCIe 第 3 代 IR 抖动		9.8	24		fs
JPCle4-IR	PCIe 第 4 代 IR 抖动		9.9	24		fs
JPCle5-IR	PCIe 第 5 代 IR 抖动		4.3	8.6		fs
JPCle6-IR	PCIe 第 6 代 IR 抖动		3.3	6		fs
JPCle7-IR	PCIe 第 7 代 IR 抖动		2.3	4.2		fs

6.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位	
J _{DB2000QL}	DB2000QL 滤波器	输入压摆率 $\geq 1.5\text{V/ns}$ 。差分输入摆幅 $\geq 800\text{mV}^{(6)}$		8.7	11.5	fs	
		输入压摆率 $\geq 3.5\text{V/ns}$ 。差分输入摆幅 $\geq 1600\text{mV}^{(6)}$		6.5	9	fs	
J _{RMS-additive}	附加 12kHz 至 20MHz RMS 抖动	f = 100MHz, 压摆率 $\geq 3.5\text{V/ns}$		27.3	37.5	fs	
		f = 100MHz, 压摆率 $\geq 1.5\text{V/ns}$		37.4	48.5	fs	
	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz, 压摆率 $\geq 3.5\text{V/ns}$		21.9	31	fs	
		f = 156.25MHz, 压摆率 $\geq 1.5\text{V/ns}$		29.4	38.5	fs	
	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz, 压摆率 $\geq 3.5\text{V/ns}$		35.1	48.5	fs	
		f = 156.25MHz, 压摆率 $\geq 1.5\text{V/ns}$		47.1	60.5	fs	
	附加 12kHz 至 20MHz RMS 抖动	f = 312.5MHz, 压摆率 $\geq 3.5\text{V/ns}$		19.3	28	fs	
		f = 312.5MHz, 压摆率 $\geq 1.5\text{V/ns}$		27.4	39.5	fs	
	附加 12kHz 至 70MHz RMS 抖动	f = 312.5MHz, 压摆率 $\geq 3.5\text{V/ns}$		29.5	41.5	fs	
		f = 312.5MHz, 压摆率 $\geq 1.5\text{V/ns}$		40.7	58	fs	
电源电流特性							
I _{DD,total}	LMKDB1202 总电源电流	所有输出均运行, f ₀ = 100MHz			41	mA	
I _{DD,total}	LMKDB1204 总电源电流	所有输出均运行, f ₀ = 100MHz			54	mA	
I _{DD,core}	LMKDB1202 内核电源电流	引脚 PWRGD/PWRDN# = 高电平, 所有输出均禁用			25.5	mA	
I _{DD,core}	LMKDB1204 内核电源电流	引脚 PWRGD/PWRDN# = 高电平, 所有输出均禁用			25.5	mA	
I _{DDO}	每个输出的输出电源电流	f ₀ = 100MHz			6.4	mA	
		f ₀ = 400MHz			9.2	mA	
I _{PD}	LMKDB1204、断电电流	引脚 PWRGD/PWRDN# = 低电平			5.6	mA	
PSNR 特性							
PSNR	电源噪声抑制, V _{DD} = 3.3V ⁽⁵⁾	10kHz 噪声纹波			-93	dBc	
		50kHz 噪声纹波			-91	dBc	
		100kHz 噪声纹波			-91	dBc	
		500kHz 噪声纹波			-95	dBc	
		1MHz 噪声纹波			-96	dBc	
		5MHz 噪声纹波			-111	dBc	
		10MHz 噪声纹波			-99	dBc	
	电源噪声抑制, V _{DD} = 1.8V ⁽⁵⁾	10kHz 噪声纹波				-85	dBc
		50kHz 噪声纹波				-89	dBc
		100kHz 噪声纹波				-91	dBc
		500kHz 噪声纹波				-93	dBc
		1MHz 噪声纹波				-94	dBc
		5MHz 噪声纹波				-109	dBc
		10MHz 噪声纹波				-97	dBc
I/O 特性							
V _{IH}	输入电压高电平	2 电平逻辑输入, V _{DD} = 3.3V \pm 10%	2		V _{DD} + 0.3	V	
V _{IL}	输入电压低电平		-0.3		0.8	V	

6.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V _{IH}	输入电压高电平	3 电平逻辑输入, V _{DD} = 3.3V ± 10%	2.4		V _{DD} + 0.3	V
V _{IM}	输入电压中电平		1.2		1.8	V
V _{IL}	输入电压低电平		-0.3		0.8	V
V _{IH}	输入电压高电平	2 电平逻辑输入, V _{DD} = 1.8V ± 5%	1.3		V _{DD} + 0.3	V
V _{IL}	输入电压低电平		-0.3		0.4	V
V _{IH}	输入电压高电平	3 电平逻辑输入, V _{DD} = 1.8V ± 5%	1.3		V _{DD} + 0.3	V
V _{IM}	输入电压中电平		0.65		0.95	V
V _{IL}	输入电压低电平		-0.3		0.4	V
V _{OH}	输出高电压	SBI_OUT, I _{OH} = -2mA	2.4		V _{DD} + 0.3	V
V _{OL}	输出低电压	SBI_OUT, I _{OL} = 2mA			0.4	V
I _{IN}	输入漏电流	CLKINx_P	-40		40	μA
		CLKINx_N	-40		40	μA
		带内部下拉的单端输入	-30		30	μA
		无内部下拉的单端输入	-5		5	μA
		三电平逻辑输入	-30		30	μA
R _{PU,PD}	用于单端输入的内部上拉/下拉电阻			120		kΩ
SMBus 电气特性						
V _{IH}	SMB_CLK、SMB_DATA 输入高电压		0.8 × V _{DD}			V
V _{IL}	SMB_CLK、SMB_DATA 输入低电压				0.3 × V _{DD}	V
V _{HYS}	施密特触发输入迟滞		0.05 × V _{DD}			V
V _{OL}	SMB_DATA 输出低电压	I _{OL} = 4mA			0.4	V
I _{LEAK}	SMB_CLK、SMB_DATA 输入漏电流		-10		10	μA
C _{PIN}	SMB_CLK、SMB_DATA 引脚电容				10	pF

- (1) PCIe 交流测试负载
- (2) DB2000QL 直流测试负载
- (3) 第一个时钟沿用于时序测量。在稳定之前, 时钟输出被静音。
- (4) 对于输入引脚, 当输入电压达到“高”电平所需的最小电压或“低”电平所需的最大电压时, 开始置为有效或置为无效
- (5) 所有电源引脚都连接在一起。将 0.1μF 电容器放置在靠近每个电源引脚的位置。在去耦电容器之前施加 50mVpp 纹波。测量时钟输出端的杂散电平
- (6) DB2000QL 交流测试负载
- (7) 压摆率在很大程度上取决于 PCB 布线特性

6.6 SMBus 时序要求

		100kHz 等级		400kHz 等级		单位
		最小值	最大值	最小值	最大值	
f _{SMB}	SMBus 工作频率	10	100	10	400	kHz
f _{BUF}	停止条件和启动条件之间的总线空闲时间	4.7	-	1.3	-	μs
t _{HD_STA}	(重复) 启动条件后的保持时间	4.0	-	0.6	-	μs
t _{SU_STA}	重复启动条件建立时间	4.7	-	0.6	-	μs

		100kHz 等级		400kHz 等级		单位
		最小值	最大值	最小值	最大值	
t_{SU_STO}	停止条件建立时间	4.0	-	0.6	-	μs
t_{HD_DAT}	数据保持时间	0	-	0	-	ns
t_{SU_DAT}	数据设置时间	250	-	100	-	ns
$t_{TIMEOUT}$	检测时钟低电平超时	25	35	25	35	ms
t_{LOW}	时钟低电平时间	4.7	-	1.3	-	μs
t_{HIGH}	时钟高电平周期	4.0	50	0.6	50	μs
t_{LOW_SEXT}	累计时钟低电平延长时间 (辅助器件)	-	25	-	25	ms
t_{LOW_PEXT}	累计时钟低电平延长时间 (主器件)	-	10	-	10	ms
t_F	时钟/数据下降时间	-	300	-	300	ns
t_R	时钟/数据上升时间	-	1000	-	300	ns
t_{SPIKE}	噪声尖峰抑制时间	-	-	0	50	ns
t_{POR}	上电复位后器件必须运行的时间		500		500	ms

6.7 SBI 时序要求

		最小值	最大值	单位
t_{PERIOD}	时钟周期	40	-	ns
t_{SETUP}	SHFT 设置到 SBI_CLK 上升沿	10	-	ns
t_{DSU}	SBI_IN 数据设置到 SBI_CLK 上升沿	5	-	ns
t_{DHOLD}	SBI_CLK 上升沿之后的 SBI_IN 数据保持	2	-	ns
t_{DOUT}	SBI_CLK 上升沿至 SBI_OUT 数据有效	2	-	ns
t_{LD}	CLK 上升沿到 LD# 下降沿	10	-	ns
t_{OE}	从 LD# 下降沿到输出使能/禁用生效的延迟	4	10	时钟
t_{SLEW}	SBI_CLK 20% 至 80% 压摆率	0.7	4	V/ns

6.8 时序图

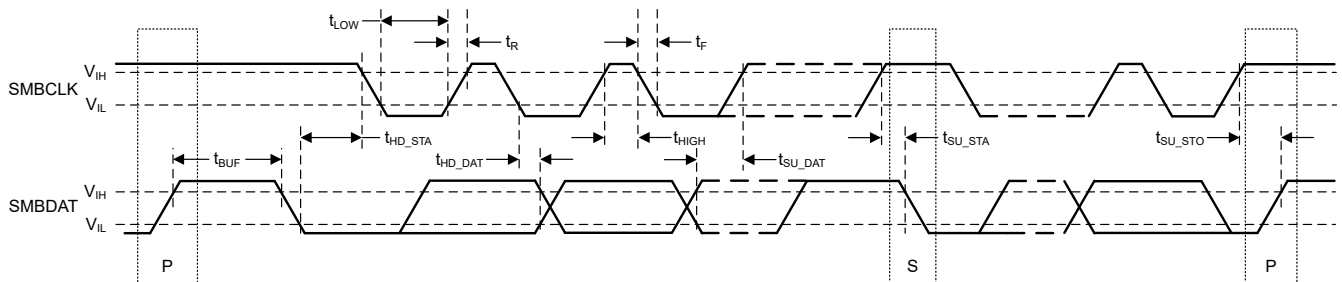


图 6-1. SMBus 时序图

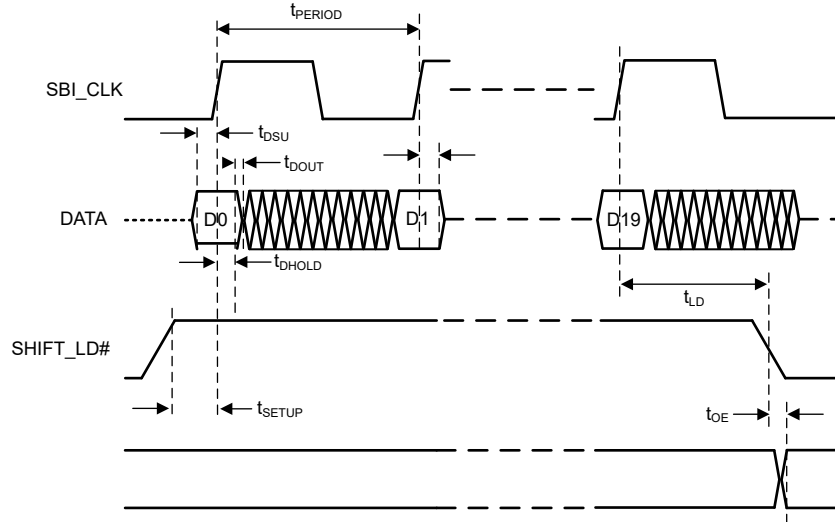


图 6-2. SBI 时序图

6.9 典型特性

7 参数测量信息

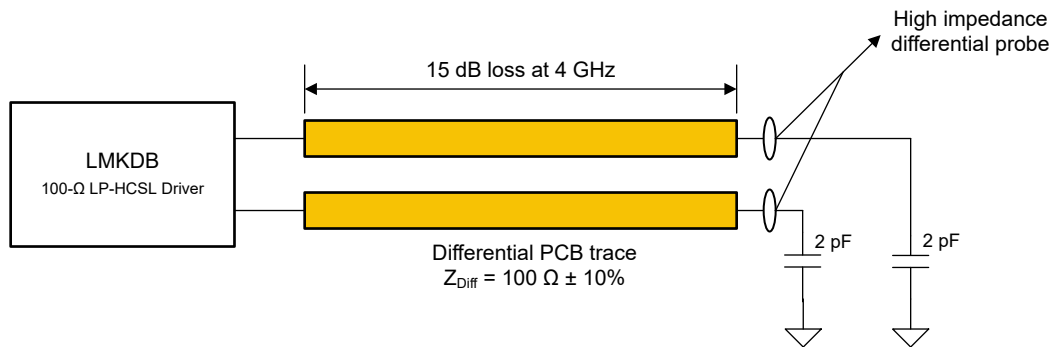


图 7-1. PCIe 交流测试负载

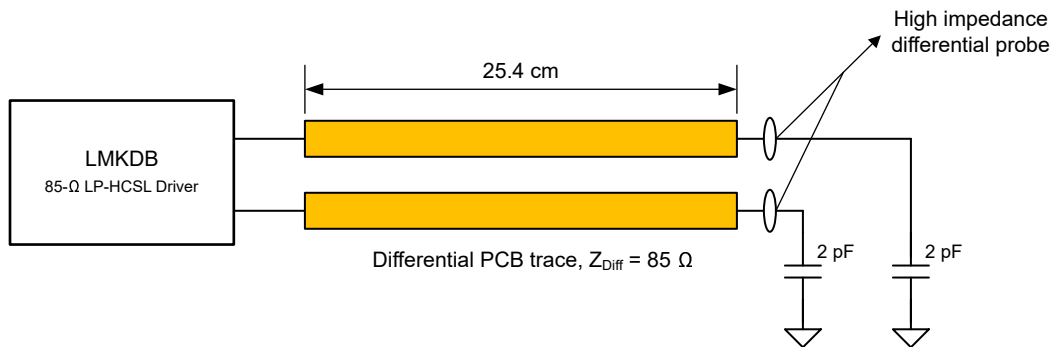


图 7-2. DB2000QL 交流测试负载

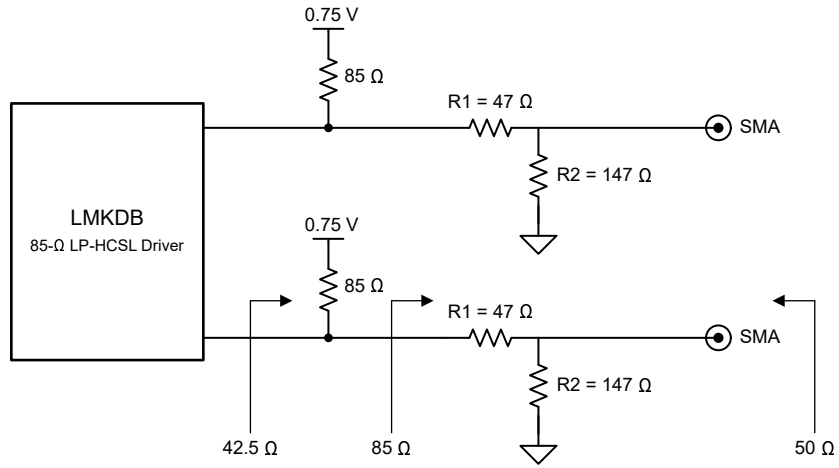


图 7-3. DB2000QL 直流测试负载

8 详细说明

8.1 概述

LMKDB12xx 是 PCIe 第 1 代到第 7 代以及符合 DB2000QL 规范的两个输入时钟多路复用器，可分配专为 PCIe 第 1 代到第 7 代应用设计的 LP-HCSL 时钟。

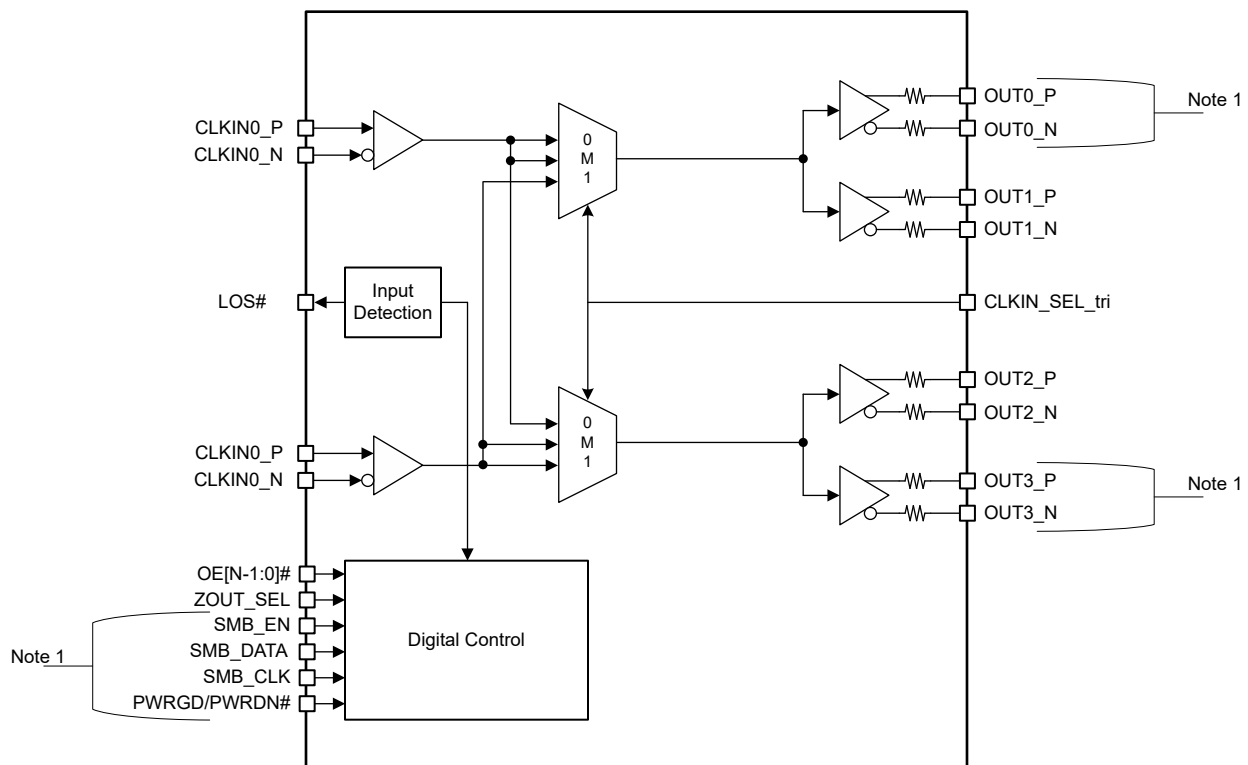
LMKDB12xx 器件具有超低附加抖动和超低传播延迟，可以为整个时钟路径提供足够的抖动余量，主要用于满足 PCIe 第 6 代和第 7 代缓冲器级联以及以太网扇出应用的要求。LMKDB12xx 还支持 1.8V 和 3.3V 电源电压，旨在实现更出色的设计灵活性。

正如 节 4 中所提到的，LMKDB12xx 对所有输出具有单独的 OE 或组 OE 控制，从而提供了更大的设计灵活性。每个器件的每个输出还具有可编程的压摆率、可编程的输出振幅摆动和自动输出禁用功能。该器件支持 100 Ω 或 85 Ω LP-HCSL，通过 节 4 所示的器件型号来表示，其输出频率高达 400MHz。LMKDB12xx 器件使用 ZOUT_SEL 引脚选择 100 Ω 或 85 Ω LP-HCSL 输出阻抗。

LMKDB12xx 可同时使用引脚模式、SMBus 模式和边带接口 (SBI) 模式。LMKDB1204 上的 vSMB_EN 引脚可用于选择引脚模式或 SMBus 模式。与 SMBUS 相比，SBI 以更快的速度 (最高 25MHz) 启用或禁用输出时钟。此外，由于 SBI 和 SMBus 可以同时运行，因此在加电后仍然可以使用 SMBus 来接管器件控制和回读状态。有关更多详细信息，请参阅 节 8.4。

有关器件引脚的详细说明，请参阅 节 8，有关器件寄存器的更多详细信息，请参阅 寄存器映射。

8.2 功能方框图



1. LMKDB1204 only.

图 8-1. LMKDB1204 LMKDB1202 功能方框图

8.3 特性说明

8.3.1 输入特性

8.3.1.1 在器件断电时运行输入时钟

该器件支持在断电时运行输入时钟。这与失效防护功能不同，如果使用失效防护功能，当器件电源关闭时，可以将输入拉至静态 VDD。如果在向时钟缓冲器供电之前时钟输入可用，此功能非常有用。

8.3.1.2 失效防护输入

所有时钟输入引脚和数字输入引脚都支持失效防护。失效防护意味着当器件电源关闭时，引脚可以被驱动至 VDD，而不会导致任何泄漏或可靠性问题。例如，在器件加电之前，OE# 引脚可以被驱动至 VDD，以便输出保持静音，直到 OE# 引脚在上电后某个时间变为低电平。

8.3.1.3 输入配置

LMKDB12xx 器件输入缓冲级支持四种不同的配置：

- 直流耦合 HCSL 输入。
- 带有外部 100 Ω 端接电阻的直流耦合 LVDS 输入信号。
- 具有内部自偏置的交流耦合输入。有关更多详细信息，请参阅[交流耦合或直流耦合时钟输入](#)。
- 内部 50 Ω 接地端子。有关更多详细信息，请参阅[用于时钟输入的内部端接](#)。

所有具有两个输入的器件都具有独立的交流耦合和输入端接选项。若要配置每个输入，请参阅寄存器映射以了解配置位。

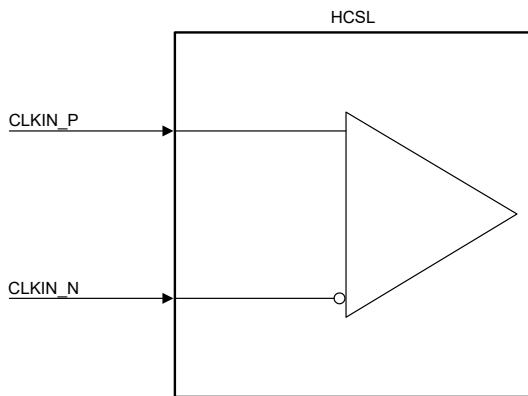


图 8-2. HCSL 输入接口 (PCIe 标准)

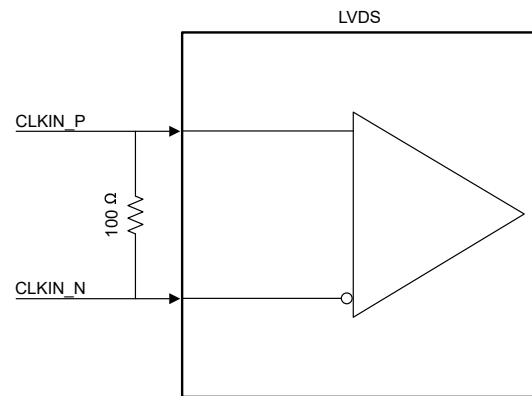


图 8-3. LVDS 输入接口

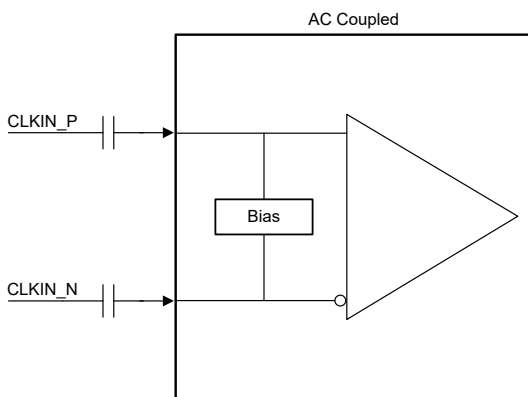


图 8-4. 外部交流耦合输入

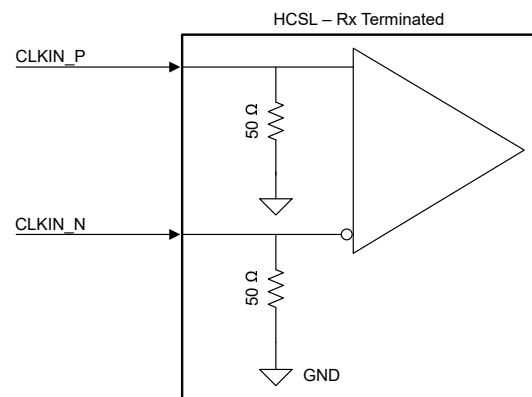


图 8-5. 接收器内部终端

8.3.1.3.1 用于时钟输入的內部端接

可以选择为差分时钟输入启用 50 Ω 内部端接。对于 LP-HCSL 输入，禁用内部端接。对于 HCSL 输入，如果未提供外部端接，则启用内部端接。默认情况下，内部端接处于禁用状态。

8.3.1.3.2 交流耦合或直流耦合时钟输入

输入时钟可以是交流耦合，也可以是直流耦合。如果输入是直流耦合，则输入信号摆幅电平必须与*时钟输入要求*下的*规格*中的电平相匹配。此外，对于直流耦合输入，寄存器 RX_EN_AC_INPUT 必须设置为 0；对于交流耦合输入，该寄存器必须设置为 1。有关 RX_EN_AC_INPUT 的更多信息，请参考*寄存器映射*。

8.3.2 灵活的电源序列

8.3.2.1 PWRDN# 置为有效和置为无效

在建议的断电序列下，当输入时钟有效时，PWRDN# 置为有效。确保在输入时钟周期的连续两个上升沿将 PWRDN# 引脚保持在低电平。因此，所有时钟输出在没有干扰的情况下静音到低电平/低电平 (OUTx_P = 低电平、OUTx_N = 低电平)。按照任何其他序列操作都会使器件进入未定义模式，并可能导致干扰或输出无效。

8.3.2.2 OE# 置为有效和置为无效

可以随时将 OE# 引脚置为有效和置为无效，无论：

- 器件电源打开还是关闭
- PWRGD/PWRDN# 引脚被拉高还是拉低
- 时钟输入有效还是无效

仅当满足以下所有条件时，OE# 引脚才会生效：

1. 时钟输入有效
2. PWRGD/PWRDN# 引脚为高电平
3. 器件已打开电源

否则，输出始终静音，并且 OE# 置为有效或置为无效没有影响。

如果 OE# 引脚在以下任一情况下变为低电平：

1. 输入时钟无效
2. PWRGD/PWRDN# 引脚为低电平
3. 器件电源已关闭

那么，当满足以下所有条件时：

1. 时钟输入有效
2. PWRGD/PWRDN# 引脚为高电平
3. 器件已打开电源

输出启用时没有任何毛刺脉冲（假设寄存器 OE 和 SBI OE 处于活动状态）。

8.3.2.3 器件电源关闭时的时钟输入和 PWRGD/PWRDN# 行为

当器件电源关闭时，输入时钟可以运行、悬空、低电平/低电平或上拉至 VDD，无论 PWRGD/PWRDN# 引脚状态如何（低电平、高电平、低电平到高电平转换和高电平到低电平转换）都是如此。表 8-1 展示了所有支持的序列；其中时钟输入可在应用 VDD 之前或之后应用。

表 8-1. 灵活的上电序列

VDD	PWRGD/PWRDN#	CLKIN_P/CLKIN_N
不存在	X	运行
		悬空
		低/低
存在	0 或 1	运行
		悬空
		低/低

8.3.3 LOS 和 OE

8.3.3.1 同步 OE

输出同步启用和禁用。同步 OE 是指当输出启用或禁用时，输出端没有毛刺脉冲或矮脉冲。

8.3.3.2 OE 控制

OE (输出使能) 可以启用或禁用特定输出。支持三种类型的 OE 控制：OE 引脚、通过 SMBus 实现的 OE 寄存器位和通过 SBI 实现的 OE 控制。这三种控制遵循 AND 逻辑。仅当全部三种控制均启用输出时，才会启用该输出。如果任何控制禁用该输出，则该输出将被禁用。

8.3.3.2.1 OE 映射

LMKDB12xx 最多有 8 个 OE# 引脚。下表提供了 LMKDB1216 和 LMKDB1208 的映射。表中 LMKDB1216 的替代引脚功能可以通过 OE#_ASSIGNMENT 寄存器进行选择。

表 8-2. LMKDB1216 和 LMKDB1208 OE# 映射

引脚名称	SBI_EN 引脚	LMKDB1216 默认引脚功能	LMKDB1216 替代引脚功能	LMKDB1208 默认引脚功能	LMKDB1208 替代引脚功能
OE0#	X	CLK0 OE#	CLK1 OE#	CLK0 OE#	不适用
OE1#	X	CLK2 OE#	CLK3 OE#	CLK1 OE#	
OE2#	X	CLK4 OE#	CLK5 OE#	CLK2 OE#	
OE3#/SBI_CLK	0 (不活动)	CLK6 OE#	CLK7 OE#	CLK3 OE#	
	1 (活动)	SBI_CLK	不适用	SBI_CLK	
OE4#/SBI_IN	0 (不活动)	CLK8 OE#	CLK9 OE#	CLK4 OE#	
	1 (活动)	SBI_IN	不适用	SBI_IN	
OE5#	X	CLK10 OE#	CLK11 OE#	CLK5 OE#	
OE6#/SHFT_LD#	0 (不活动)	CLK12 OE#	CLK13 OE#	CLK6 OE#	
	1 (活动)	SHFT_LD#	不适用	SHFT_LD#	
OE7#/SBI_OUT	0 (不活动)	CLK14 OE#	CLK15 OE#	CLK7 OE#	
	1 (活动)	SBI_OUT	不适用	SBI_OUT	

8.3.3.3 自动输出禁用

默认启用自动输出禁用 (AOD) 功能，可以通过 SMBus 将其禁用。当输入时钟变为无效且 LOS# 有效时，输出时钟将静音为低电平/低电平 (OUTx_P = 低电平, OUTx_N = 低电平)。在 LOS# 处于活动状态之前和输入时钟无效之后 (因为 LOS 检测需要时间)，输出时钟在最后一个输入状态之后保持稳定状态。例如，如果输入时钟停止在低电平/高电平，则输出时钟先保持在低电平/高电平，然后在 LOS# 处于活动状态后静音为低电平/低电平。

8.3.3.4 LOS 检测

LOS (输入信号丢失) 检测时钟输入是否有效。当输入时钟有效时，LOS# 寄存器位 = 1，LOS# 引脚 = 高电平。当输入时钟无效时，LOS 寄存器位 = 0，LOS# 引脚 = 低电平。

上电时，LOS# 引脚保持低电平，直到检测到输入有效。因此，LOS# 引脚可用于 OE# 插入等操作的时序。

仅当 PWRGD/PWRDN# 引脚为高电平时，LOS# 信号才有效。如果该引脚为低电平，则无论输入有效性如何，LOS# 都为低电平

8.3.4 输出特性

8.3.4.1 输出组

LMKDB12xx 多路复用器有两个输出组，可用作双组缓冲模式。每组都有一个专用电源引脚，可避免在不同频率下运行时发生串扰。请参阅图 10-2 以尽可能减少输出组上的噪声。以下

表 8-3. LMKDB12xx 输出组

输出组	输出 (P/N)
0	[0:N/2-1]
1	[N/2:N-1]

8.3.4.2 双端接

对于常规 PCIe 应用，LP-HCSL 输出不需要外部端接，但 LMKDB 系列确实支持双端接 (这并不常见)。在这种情况下，应放置一个外部 50 Ω 端接并将摆幅减半。由于输出端使用 50 Ω 端接至地，这会导致额外的功耗。

8.3.4.3 可编程输出压摆率

LMKDB 系列通过 SMBus 和引脚模式提供压摆率控制选项。引脚模式选项可控制所有输出的全局压摆率。SMBus 压摆率控制为每个单独的输出支持可编程输出压摆率。压摆率在很大程度上取决于布线特性，包括布线宽度、覆铜厚度、基板高度、介电常数和损耗正切。

LMKDB 压摆率控制设置使用图 7-1 中所示的 PCIe 测试负载进行测试。

8.3.4.3.1 通过 SMBus 进行压摆率控制

LMKDB1120 具有 16 个不同的压摆率选项，可供分配给输出。0x0 是最快的压摆率设置，0xF 是最慢的压摆率设置。要设置每个输出的压摆率，请执行以下步骤：

- 共有四个不同的寄存器 SLEWRATE_OPT#，可存储多达四个不同的压摆率。通过向每个 SLEWRATE_OPT# 寄存器分配从 0x0 (最快) 到 0xF (最慢) 的值来选择所需的压摆率。为每个 SLEWRATE_OPT# 寄存器设置的默认值可在表 8-4 中找到。
 - 例如，如果需要最快、第二快和最慢的压摆率，请将 0x0、0x1 和 0xF 分别赋值给寄存器 SLEWRATE_OPT#。SLEWRATE_OPT1 = 0x0 (最快)，SLEWRATE_OPT2 = 0x1 (第二快)，SLEWRATE_OPT3 = 0xF (最慢)。不必对 SLEWRATE_OPT4 赋值，但如果您希望将多个寄存器设置为相同的压摆率，则可以将 SLEWRATE_OPT4 分配给之前三种设置中的任何一个。
- 使用 SLEWRATE_SEL_CLKX_LSB 和 SLEWRATE_SEL_CLKX_MSB 为每个输出设置压摆率选项 (如表 8-4 所示)，或使用 TICSPRO 中 Output Slew Rate Control 部分下的下拉菜单设置压摆率选项。所有输出的默认 SLEWRATE_OPT# 寄存器赋值为 SLEWRATE_OPT2，其默认压摆率为 0x6。

在节 6 的时钟输出特性 - 100MHz 85 Ω PCIe 或时钟输出特性 - 100MHz 100 Ω PCIe 下面的输出压摆率规格中可以找到四种默认压摆率的相应范围。

表 8-4. LMKDB 默认 SLEWRATE_OPT_# 值

寄存器字段名称	默认值	默认压摆率
SLEWRATE_OPT_1	0x0	最高
SLEWRATE_OPT_2	0x6	高电平 (所有输出的默认值)

表 8-4. LMKDB 默认 SLEWRATE_OPT_# 值 (续)

寄存器字段名称	默认值	默认压摆率
SLEWRATE_OPT_3	0xA	低
SLEWRATE_OPT_4	0xF	最低

表 8-5. SLEWRATE_SEL_CLKX_LSB 和 SLEWRATE_SEL_CLKX_MSB 压摆率选择

SLEWRATE_SEL_CLKX_LSB	SLEWRATE_SEL_CLKX_MSB	压摆率选项选择
0	0	SLEWRATE_OPT_4
1	0	SLEWRATE_OPT_3
0	1	SLEWRATE_OPT_2
1	1	SLEWRATE_OPT_1

要将压摆率编程为所需的压摆率，需要遵循以下顺序：

1. [可选]：如果表 8-4 中为各个压摆率速度显示的默认分配不符合要求，则可以将其中一个压摆率选项值更改为另一个压摆率。
2. [仅限 LMKDB1108 和 1104]：将 SLEWRATE_CTRL_MODE 寄存器编程为 1，以便选择用于压摆率控制的 SMBus 编程模式。有关 LMKDB1108 和 LMKDB1104 寄存器位信息，请参阅节 9。
3. 对 SLEWRATE_SEL_CLKX_MSB 和 SLEWRATE_SEL_CLKX_LSB 进行编程，将时钟输出 X 分配给所需的压摆率速度选项，如表 8-5 所示。在表 8-4 中可以找到每个选项的默认分配。

8.3.4.4 可编程输出摆幅

LMKDB 系列支持 600mV 至 975mV 范围的可编程 LP-HCSL 摆幅。对于缓冲器和多路复用器，所有输出均分别通过寄存器 AMP 和 AMP_BANKX 编程为相同的输出摆幅。要将输出编程为所需的摆幅，请参阅寄存器映射。

8.3.4.5 准确的输出阻抗

LMKDB 系列支持 100 Ω LP-HCSL 和 85 Ω LP-HCSL。输出阻抗被精确调整为 ±5%。这有助于提高阻抗匹配和时钟信号完整性。

8.3.4.6 可编程输出阻抗

用以选择 100 Ω 或 85 Ω LP-HCSL 输出阻抗的 LMKDB12xx 引脚模式选项可提供设计灵活性。可以使用器件上的 ZOUT_SEL 引脚选择输出阻抗，如表 8-6 所示。如果悬空，则默认通过内部下拉电阻器选择 85 Ω 输出阻抗。

表 8-6. 可编程输出阻抗

ZOUT_SEL	输出阻抗
低	85 Ω
高	100 Ω

8.4 器件功能模式

8.4.1 SMBus 模式

在 SMBus 模式下，可以通过 SMBus 引脚写入和读取 LMKDB11xx 器件 SMBus 寄存器。引脚 SADR1 和 SADR0 设置 SMBus 地址。

SADR1	SADR0	8 位 SMBus 地址 (读/写位 = 0)
低	低	0xD8
低	浮点	0xDA
低	高	0xDE
浮点	低	0xC2

SADR1	SADR0	8 位 SMBus 地址 (读/写位 = 0)
浮点	浮点	0xC4
浮点	高	0xC6
高	低	0xCA
高	浮点	0xCC
高	高	0xCE

表 8-7. 命令代码定义

位	说明
7	0 = 块读取或块写入操作 1 = 字节读取或字节写入操作
(6:0)	用于字节操作的寄存器地址，或用于块操作的起始寄存器地址

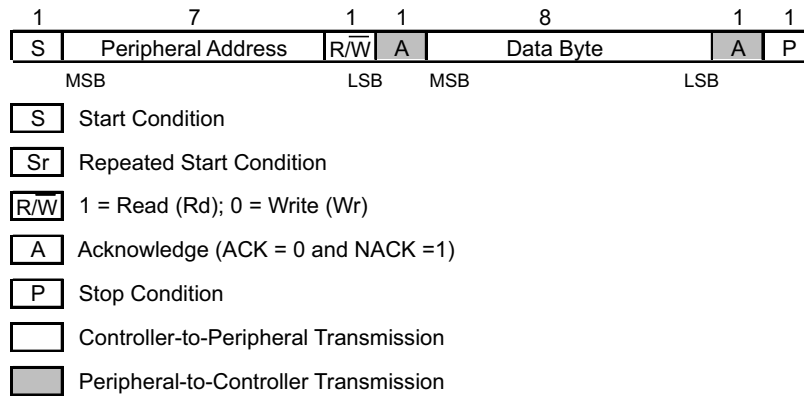


图 8-6. 一般编程序列

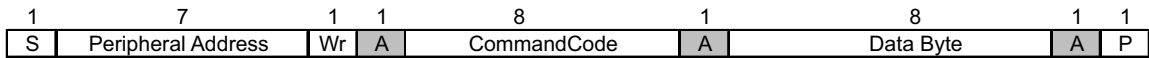


图 8-7. 字节写入协议

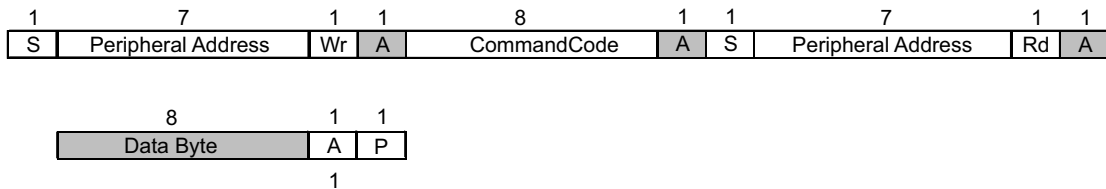


图 8-8. 字节读取协议

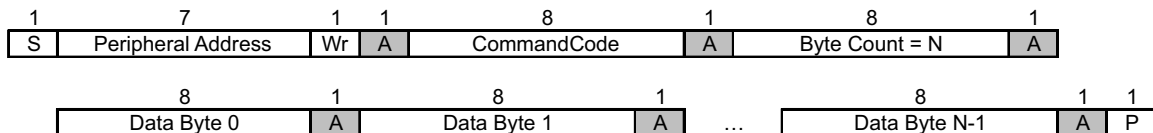


图 8-9. 块写入协议

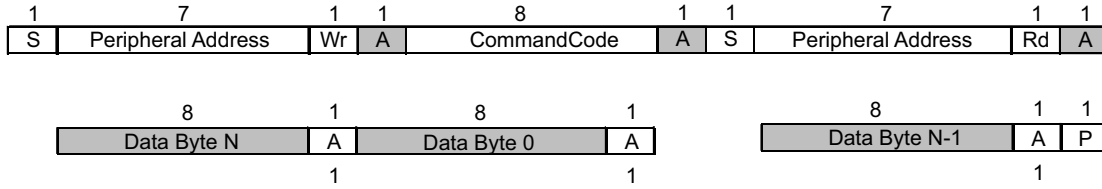


图 8-10. 块读取协议

8.4.2 SBI 模式

边带接口 (SBI) 是一个简单的 3 线或 4 线串行接口，包括 SHFT_LD#、SBI_IN、SBI_CLK 和 SBI_OUT (可选) 引脚。当 SHFT_LD# 引脚为高电平时，SBI_CLK 的上升沿将 SBI_IN 逐位移动到移位寄存器中。使数据移位后，SHFT_LD# 的下降沿将移位寄存器内容加载到输出寄存器中。SBI 寄存器可以通过 SBI_OUT 引脚移出，形成菊花链拓扑。

启用 SBI 模式不会禁用 SMBus。PWRGD/PWRDN# 引脚为低电平时可以访问 SBI 寄存器。

LMKDB12xx 仅支持引脚模式和 SMBus 模式。

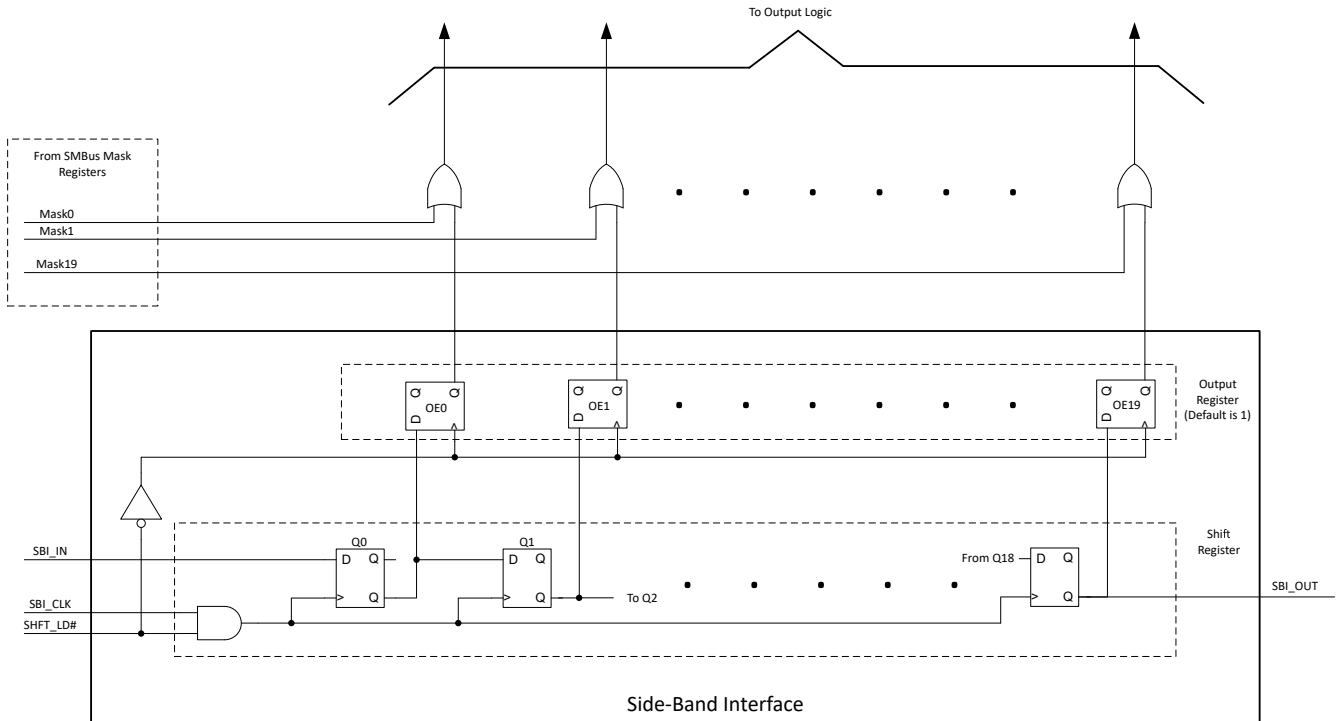


图 8-11. SBI 控制逻辑

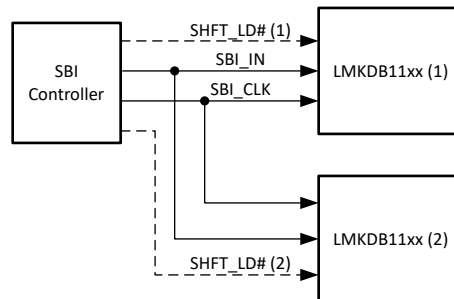


图 8-12. SBI 星型拓扑

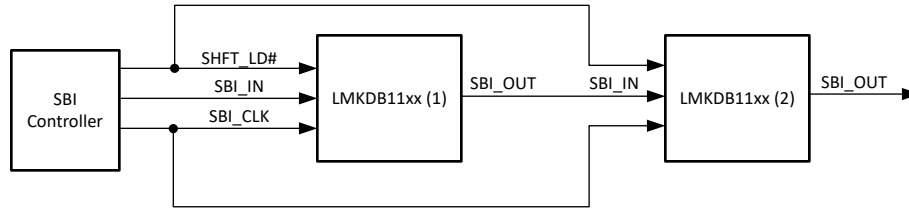


图 8-13. SBI 菊花链拓扑

SBI 寄存器序列:

8.4.3 引脚模式

如果不需要 SMBus 或 SBI 接口，可以将 SMBus 引脚或 SBI 引脚保持悬空。器件可在引脚模式下运行，且输出可通过 OE# 引脚启用或禁用。

9 寄存器映射

9.1 LMKDB12xx 寄存器

表 9-1 列出了 LMKDB1204 寄存器的存储器映射寄存器。表 9-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 9-1. LMKDB12xx 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	CLK2 和 CLK3 的输出使能控制	节 9.1.1
1h	R1	CLK0 和 CLK1 的输出使能控制	节 9.1.2
2h	R2	CLK2 和 CLK3 的 OE 引脚回读	节 9.1.3
3h	R3	CLK0 和 CLK1 的 OE 引脚回读	节 9.1.4
4h	R4	CLKIN1 AOD 使能控制	节 9.1.5
5h	R5	器件信息	节 9.1.6
6h	R6	器件信息 (续)	节 9.1.7
7h	R7	SMBus 字节计数器	节 9.1.8
11h	R17	输出幅度	节 9.1.9
12h	R18	输入配置、在 PD 中保存配置、SMB SDATA 监测和 LOS 回读	节 9.1.10
14h	R20	CLK2 和 CLK3 的输出压摆率选择 MSB	节 9.1.11
15h	R21	CLK0 和 CLK1 的输出压摆率选择 MSB	节 9.1.12
24h	R36	CLKIN0 AOD 使能控制	节 9.1.13
26h	R38	不可清除的 SMBUS 写入锁定	节 9.1.14
27h	R39	LOS 事件状态和可清除的 SMBus 写入锁定	节 9.1.15
2Bh	R43	CLKIN 源选择	节 9.1.16
5Bh	R91	压摆率速度选项 1 和 2 分配	节 9.1.17
5Ch	R92	压摆率速度选项 3 和 4 分配	节 9.1.18
5Dh	R93	CLKIN0 交流/直流耦合选择	节 9.1.19
62h	R98	CLK0 和 CLK1 的输出压摆率选择 LSB	节 9.1.20
63h	R99	CLK2 和 CLK3 的输出压摆率选择 LSB	节 9.1.21

复杂的位访问类型经过编码可适应小型表单元。表 9-2 展示了适用于此部分中访问类型的代码。

表 9-2. LMKDB12xx 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

9.1.1 R0 寄存器 (偏移 = 0h) [复位 = 28h]

R0 如表 9-3 所示。

返回到[汇总表](#)。

表 9-3. R0 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	CLK_EN_1	R/W	1h	CLK1 的输出使能 0h = 输出已禁用 (低电平/低电平) 1h = 输出已启用
4	RESERVED	R	0h	保留
3	CLK_EN_0	R/W	1h	CLK0 的输出使能 0h = 输出已禁用 (低电平/低电平) 1h = 输出已启用
2:0	RESERVED	R	0h	保留

9.1.2 R1 寄存器 (偏移 = 1h) [复位 = 14h]

R1 如表 9-4 所示。

返回到[汇总表](#)。

表 9-4. R1 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	CLK_EN_3	R/W	1h	CLK3 的输出使能 0h = 输出已禁用 (低电平/低电平) 1h = 输出已启用
3	RESERVED	R	0h	保留
2	CLK_EN_2	R/W	1h	CLK2 的输出使能 0h = 输出已禁用 (低电平/低电平) 1h = 输出已启用
1:0	RESERVED	R	0h	保留

9.1.3 R2 寄存器 (偏移 = 2h) [复位 = 00h]

R2 如表 9-5 所示。

返回到[汇总表](#)。

表 9-5. R2 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RB_OEb_1	R	0h	OEb1 的状态
4	RESERVED	R	0h	保留
3	RB_OEb_0	R	0h	OEb0 的状态
2:0	RESERVED	R	0h	保留

9.1.4 R3 寄存器 (偏移 = 3h) [复位 = 00h]

R3 如表 9-6 所示。

返回到[汇总表](#)。

表 9-6. R3 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	RB_OEb_3	R	0h	OEB3 的状态
3	RESERVED	R	0h	保留
2	RB_OEb_2	R	0h	OEB2 的状态
1:0	RESERVED	R	0h	保留

9.1.5 R4 寄存器 (偏移 = 4h) [复位 = 10h]

R4 如表 9-7 所示。

返回到[汇总表](#)。

表 9-7. R4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	CLKIN1_AOD_ENABLE	R/W	1h	当检测到 LOS 事件时，启用 CLKIN1 的自动输出禁用 (AOD)，切换到低电平/低电平。有关详细信息，请参阅“自动输出禁用”部分。 0h = 不活动 1h = 活动
3:0	RESERVED	R	0h	保留

9.1.6 R5 寄存器 (偏移 = 5h) [复位 = 0Ah]

R5 如表 9-8 所示。

返回到[汇总表](#)。

表 9-8. R5 寄存器字段说明

位	字段	类型	复位	说明
7:4	REV_ID	R	0h	修订 ID
3:0	VENDOR_ID	R	Ah	供应商 ID

9.1.7 R6 寄存器 (偏移 = 6h) [复位 = 24h]

R6 如表 9-9 所示。

返回到[汇总表](#)。

表 9-9. R6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID	R	24h	器件 ID

9.1.8 R7 寄存器 (偏移 = 7h) [复位 = 07h]

R7 如表 9-10 所示。

返回到[汇总表](#)。

表 9-10. R7 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4:0	SMBUS_BC	R/W	7h	SMBUS 块读取字节计数

9.1.9 R17 寄存器 (偏移 = 11h) [复位 = 66h]

R17 如表 9-11 所示。

返回到[汇总表](#)。

表 9-11. R17 寄存器字段说明

位	字段	类型	复位	说明
7:4	AMP_BANK1	R/W	6h	全局差分输出控制, 约 0.6V 至 1V 25mV/步长 (默认值 = 0.75V) 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	AMP_BANK0	R/W	6h	全局差分输出控制, 约 0.6V 至 1V 25mV/步长 (默认值 = 0.75V) 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV

9.1.10 R18 寄存器 (偏移 = 12h) [复位 = 0Ah]

R18 如表 9-12 所示。

返回到[汇总表](#)。

表 9-12. R18 寄存器字段说明

位	字段	类型	复位	说明
7	RX_CLKIN1_EN_AC_INP UT	R/W	0h	当 CLKIN1 是交流耦合时启用接收器偏置 0h = 直流耦合输入 1h = 交流耦合输入

表 9-12. R18 寄存器字段说明 (续)

位	字段	类型	复位	说明
6	RX_CLKIN1_EN_RTERM	R/W	0h	启用 CLKIN1 上的端接电阻器 0h = 输入端接未激活 1h = 输入端接激活
5	RX_CLKIN0_EN_RTERM	R/W	0h	启用 CLKIN0 上的端接电阻器 0h = 输入端接未激活 1h = 输入端接激活
4	RESERVED	R	0h	保留
3	PD_RESTOREB	R	1h	断电时保存配置 0h = 配置已清除 1h = 配置已保存
2	RESERVED	R	0h	保留
1	SDATA_TIMEOUT_EN	R	1h	启用 SMBus SDATA 超时监控 0h = 禁用 SDATA 超时 1h = 启用 SDATA 超时
0	LOSb_RB	R	0h	实时回读丢失检测块输出 0h = 检测到 LOS 事件 1h = 未检测到 LOS 事件

9.1.11 R20 寄存器 (偏移 = 14h) [复位 = 28h]

R20 如表 9-13 所示。

返回到[汇总表](#)。

表 9-13. R20 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 压摆率选择
4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 压摆率选择
2:0	RESERVED	R	0h	保留

9.1.12 R21 寄存器 (偏移 = 15h) [复位 = 14h]

R21 如表 9-14 所示。

返回到[汇总表](#)。

表 9-14. R21 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 压摆率选择
3	RESERVED	R	0h	保留
2	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 压摆率选择
1:0	RESERVED	R	0h	保留

9.1.13 R36 寄存器 (偏移 = 24h) [复位 = 09h]

R36 如表 9-15 所示。

返回到[汇总表](#)。

表 9-15. R36 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	CLKIN0_AOD_ENABLE	R/W	1h	当检测到 LOS 事件时, 启用 CLKIN0 的自动输出禁用 (AOD), 切换到低电平/低电平。有关详细信息, 请参阅“自动输出禁用”部分。 0h = 不活动 1h = 活动
2:0	RESERVED	R	0h	保留

9.1.14 R38 寄存器 (偏移 = 26h) [复位 = 00h]

R38 如表 9-16 所示。

返回到[汇总表](#)。

表 9-16. R38 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	WRITE_LOCK	R	0h	不可清除的 SMBus 写入锁定位。当写入 1 时, 无法写入 SMBus 控制寄存器。该位只能通过下电上电来清除。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

9.1.15 R39 寄存器 (偏移 = 27h) [复位 = 00h]

R39 如表 9-17 所示。

返回到[汇总表](#)。

表 9-17. R39 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	0h	保留
1	LOS_EVT	R	0h	LOS 事件状态。处于高电平时, 指示检测到 LOS 事件。可通过写入 1 来清除。 0h = 未检测到 LOS 事件 1h = 检测到 LOS 事件
0	WRITE_LOCK_RW1C	R/W1C	0h	可清除的 SMBus 写入锁定位。当写入 1 时, 无法写入 SMBus 控制寄存器。可通过向该位写入 1 来清除该位。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

9.1.16 R43 寄存器 (偏移 = 2Bh) [复位 = 00h]

R43 如表 9-18 所示。

返回到[汇总表](#)。

表 9-18. R43 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

表 9-18. R43 寄存器字段说明 (续)

位	字段	类型	复位	说明
5:4	CLKIN_SEL	R/W	0h	CLKIN 源选择 0h = 所有输出都来自 CLKIN0 1h = CLKIN0 输入转到 BANK0, CLKIN1 输入转到 BANK1 2h = 无效 3h = 所有输出都来自 CLKIN1
3:0	RESERVED	R	0h	保留

9.1.17 R91 寄存器 (偏移 = 5Bh) [复位 = 60h]

R91 如表 9-19 所示。

返回到[汇总表](#)。

表 9-19. R91 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_2	R/W	6h	有四个寄存器分配, 每个分配存储一个压摆率值 (从 16 个可用压摆率值中选择)。此寄存器位与第 2 个选项相关。有关详细信息, 请参阅“可编程输出压摆率”部分。 0h = 0 (最快) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最慢)
3:0	SLEWRATE_OPT_1	R/W	0h	有四个寄存器分配, 每个分配存储一个压摆率值 (从 16 个可用压摆率值中选择)。此寄存器位与第 1 个选项相关。有关详细信息, 请参阅“可编程输出压摆率”部分。 0h = 0 (最快) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最慢)

9.1.18 R92 寄存器 (偏移 = 5Ch) [复位 = FAh]

R92 如表 9-20 所示。

返回到[汇总表](#)。

表 9-20. R92 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_4	R/W	Fh	<p>有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 4 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。</p> <p>0h = 0 (最快) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最慢)</p>
3:0	SLEWRATE_OPT_3	R/W	Ah	<p>有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 3 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。</p> <p>0h = 0 (最快) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最慢)</p>

9.1.19 R93 寄存器 (偏移 = 5Dh) [复位 = 00h]

R93 如表 9-21 所示。

返回到[汇总表](#)。

表 9-21. R93 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	RX_CLKIN0_EN_AC_INP UT	R/W	0h	<p>当 CLKIN0 是交流耦合时启用接收器偏置</p> <p>0h = 直流耦合输入 1h = 交流耦合输入</p>

9.1.20 R98 寄存器 (偏移 = 62h) [复位 = 00h]

R98 如表 9-22 所示。

返回到[汇总表](#)。

表 9-22. R98 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 压摆率控制
4	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 压摆率控制
3:0	RESERVED	R	0h	保留

9.1.21 R99 寄存器 (偏移 = 63h) [复位 = 00h]

R99 如表 9-23 所示。

返回到[汇总表](#)。

表 9-23. R99 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 压摆率控制
5:3	RESERVED	R	0h	保留
2	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 压摆率控制
1:0	RESERVED	R	0h	保留

10 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

10.1 应用信息

LMKDB12xx 器件是一系列超低附加抖动 LP-HCSL 时钟多路复用器。该器件可通过 SMBus 寄存器、边带接口和 OE# 引脚进行控制。

10.2 典型应用

以下示例显示了 PCIe 和以太网时钟分配。根据给定源提供 PCIe 时钟 (100MHz) 或以太网时钟 (156.25MHz) 的多个副本。

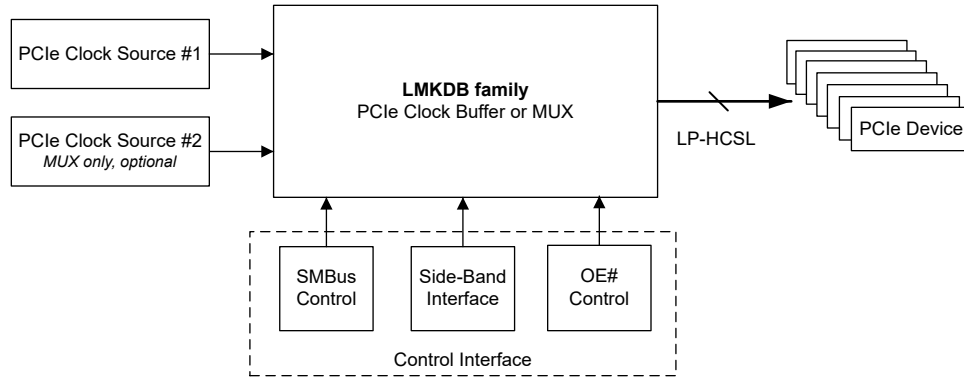


图 10-1. 典型应用

10.2.1 设计要求

分别为 PCIe 时钟扇出和以太网时钟扇出找到两个缓冲器。必须满足抖动要求，并且必须更大程度缩小占用空间。

表 10-1. 设计参数

参数	值
PCIe 时钟数量	15
156.25MHz 以太网时钟数量	7
PCIe 架构	CC (通用时钟)
PCIe 参考时钟压摆率	$\geq 3.5V/ns$
PCIe 第 5 代参考时钟抖动	45fs (最大值)
PCIe 第 5 代总抖动	50fs (最大值)
156.25MHz 参考时钟压摆率	$\geq 3.5V/ns$
156.25MHz 参考时钟抖动 (12kHz 至 20MHz)	90fs (最大值)
156.25MHz 总抖动 (12kHz 至 20MHz)	100fs (最大值)

10.2.2 详细设计过程

首先，使用 RMS 加法计算时钟缓冲器的抖动预算。时钟缓冲器允许的最大附加抖动是参考时钟抖动的平方与总时钟抖动的平方之间的差的平方根。

缓冲器允许的最大 PCIe 第 5 代附加抖动为 $\sqrt{50^2 - 45^2} = 21fs$ 。根据 [电气特性表](#) 下面的 [规格](#)，通用时钟和 $\geq 3.5V/ns$ 输入压摆率测试条件下的 PCIe 第 5 代附加抖动最大值为 13fs，远低于所要求的 21fs。

同样，156.25MHz 时允许的最大 12kHz 至 20MHz 附加抖动为 $\sqrt{100^2 - 90^2} = 43fs$ 。根据 [电气特性表](#) 下面的 [规格](#)，156.25MHz 时的 12kHz 至 20MHz 附加抖动最大值为 31fs，远低于所要求的 43fs。

10.2.3 应用曲线

以下各图分别是在 156.25MHz 频率下使用 LMKDB12xx 之前和之后的示例相位噪声图。LMKDB 时钟多路复用器从 12kHz 至 20MHz 增加了 22fs (典型值) 抖动。所有 LMKDB12xx 器件都具有非常相似的性能。

为了更好地了解抖动以及 LMKDB12xx 的附加抖动如何引起 22fs 抖动，请参阅 [时间就是一切：怎样测量附加抖动](#) TI 博客文章。

10.3 电源相关建议

在每个电源引脚附近放置一个 0.1 μF 电容器。为了更大程度地降低 VDDA、上的噪声，请在引脚旁放置一个 2.2 Ω 的电阻器。可以将所有电源引脚都分组到一个电源轨上。TI 建议对整个芯片使用铁氧体磁珠和一个 10 μF 电容器来接地。图 10-2 所示为一个示例电源原理图。

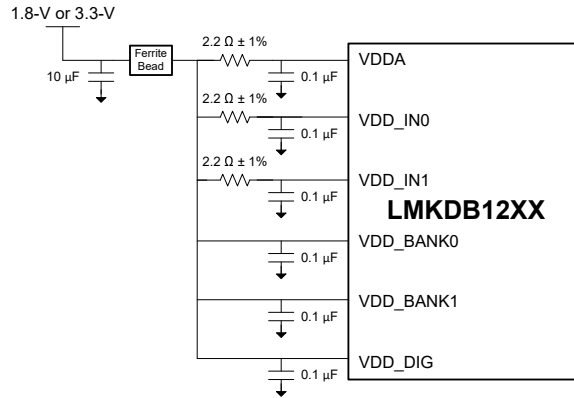


图 10-2. LMKDB12XX 多路复用器的电源建议

10.4 布局

10.4.1 布局指南

在器件 DAP 和 PCB 之间使用低电感接地连接。

将 PCB 布线阻抗与器件输出阻抗 ($85\ \Omega$ 或 $100\ \Omega$ 差分阻抗) 相匹配。消除残桩并减少传输线上的不连续性。

10.4.2 布局示例

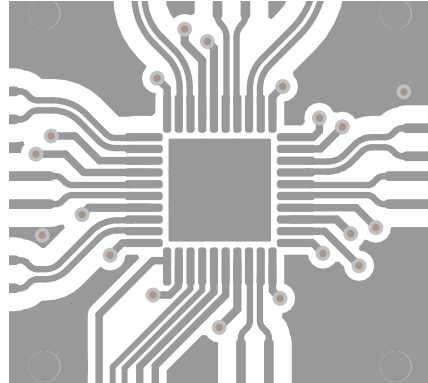


图 10-3. LMKDB1204 布局示例 - 底层

11 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [LMKDB1120 评估模块](#), 用户指南。
- 德州仪器 (TI), [LMKDB1108 评估模块](#), 用户指南。
- 德州仪器 (TI), [LMKDB1104 评估模块](#), 用户指南。
- 德州仪器 (TI), [LMKDB1204 评估模块](#), 用户指南。
- 德州仪器 (TI), [LMKDB11021202 评估模块](#) 用户指南
- 德州仪器 (TI), [时间就是一切：怎样测量附加抖动](#), 博客文章

11.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
August 2025	*	<ul style="list-style-type: none">初始发行版将 LMKDB1204 和 LMKDB1202 从旧的数据表中移除了 (SNAS855)

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMKDB1202REYR	Active	Production	VQFN (REY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1202REYR.A	Active	Production	VQFN (REY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1202REYT	Active	Production	VQFN (REY) 20	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1202REYT.A	Active	Production	VQFN (REY) 20	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1204REXR	Active	Production	VQFN (REX) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204
LMKDB1204REXR.A	Active	Production	VQFN (REX) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204
LMKDB1204REXT	Active	Production	VQFN (REX) 28	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204
LMKDB1204REXT.A	Active	Production	VQFN (REX) 28	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

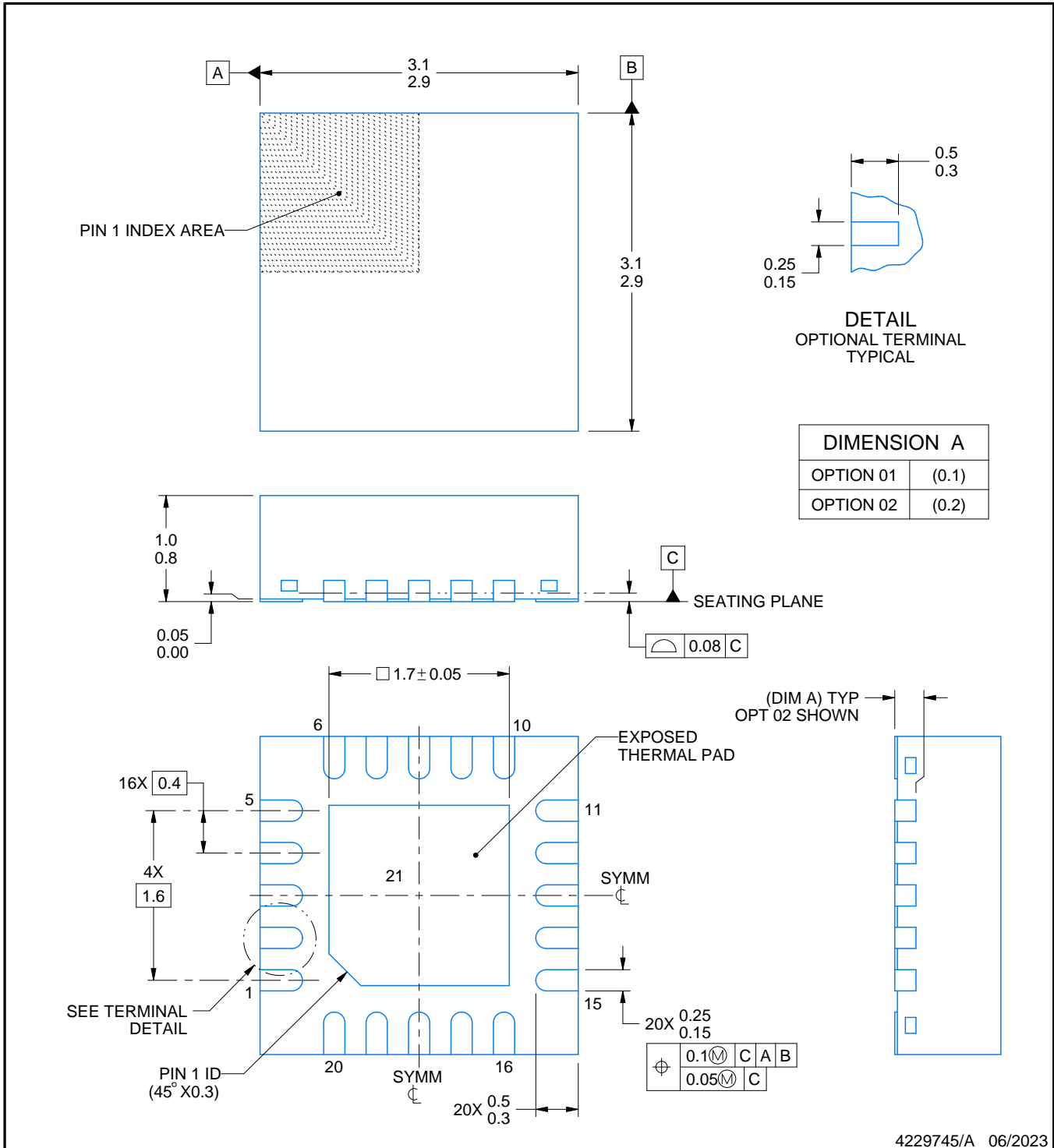
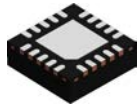

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMKDB1202REYR	VQFN	REY	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMKDB1204REXR	VQFN	REX	28	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMKDB1202REYR	VQFN	REY	20	3000	367.0	367.0	35.0
LMKDB1204REXR	VQFN	REX	28	3000	367.0	367.0	35.0



4229745/A 06/2023

NOTES:

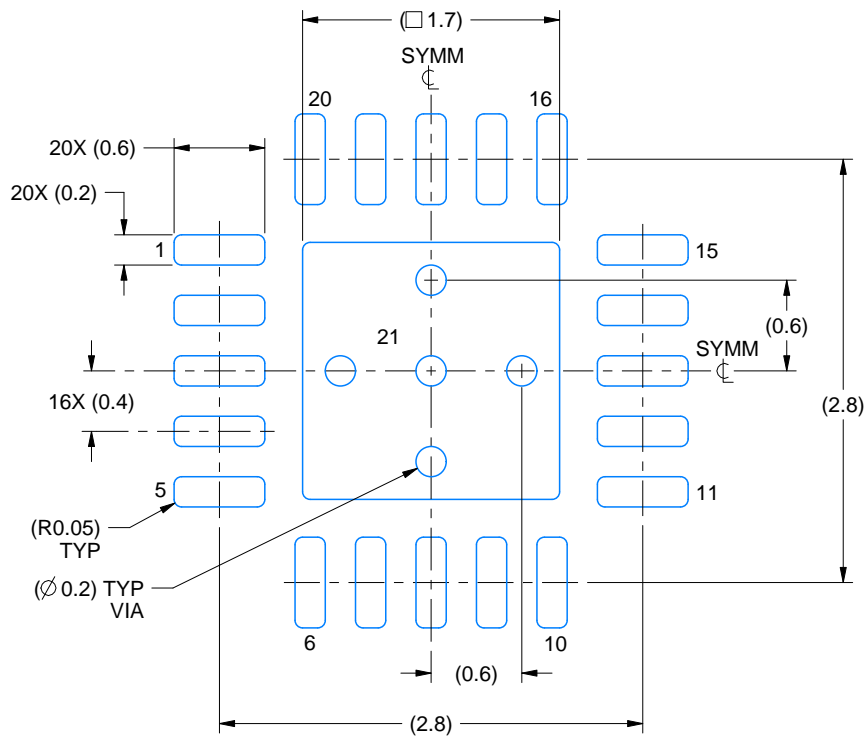
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

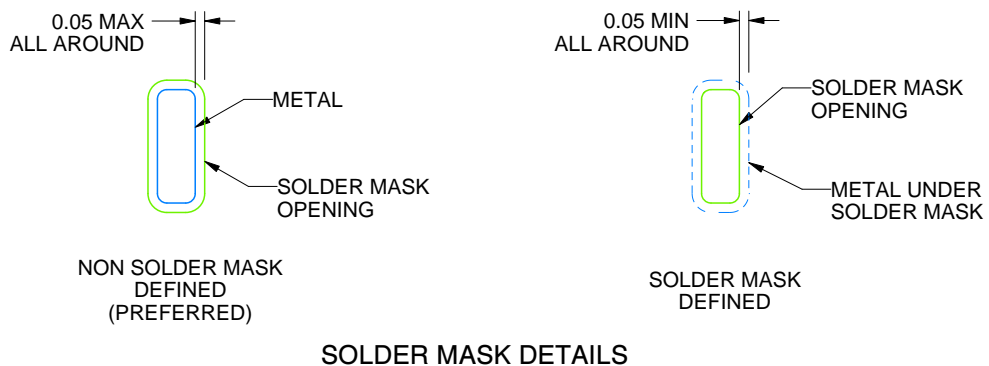
REY0020B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4229745/A 06/2023

NOTES: (continued)

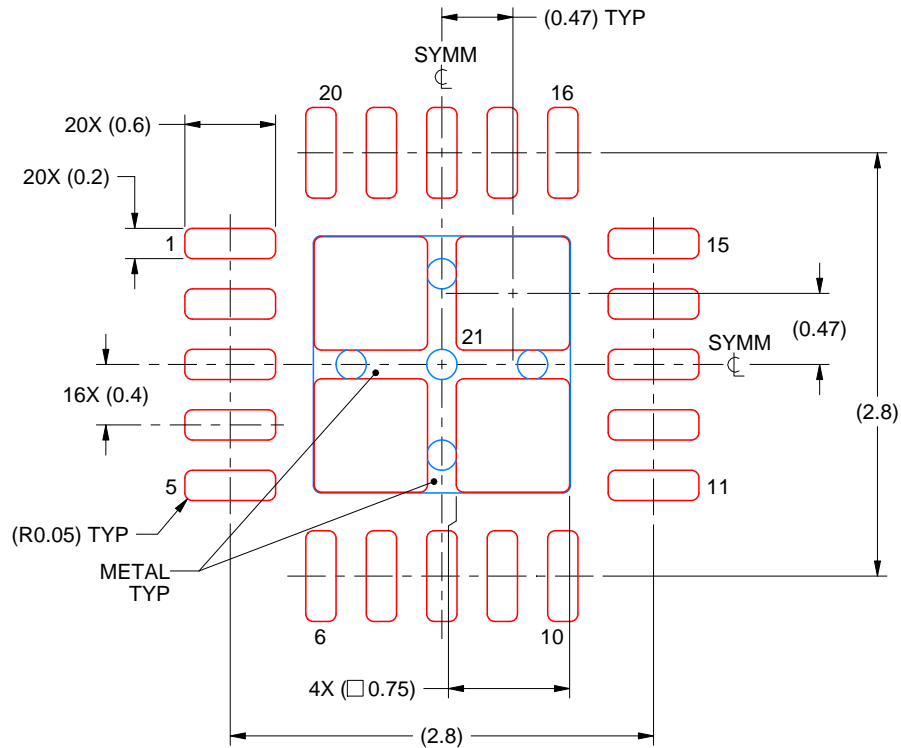
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

REY0020B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

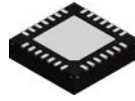
EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4229745/A 06/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

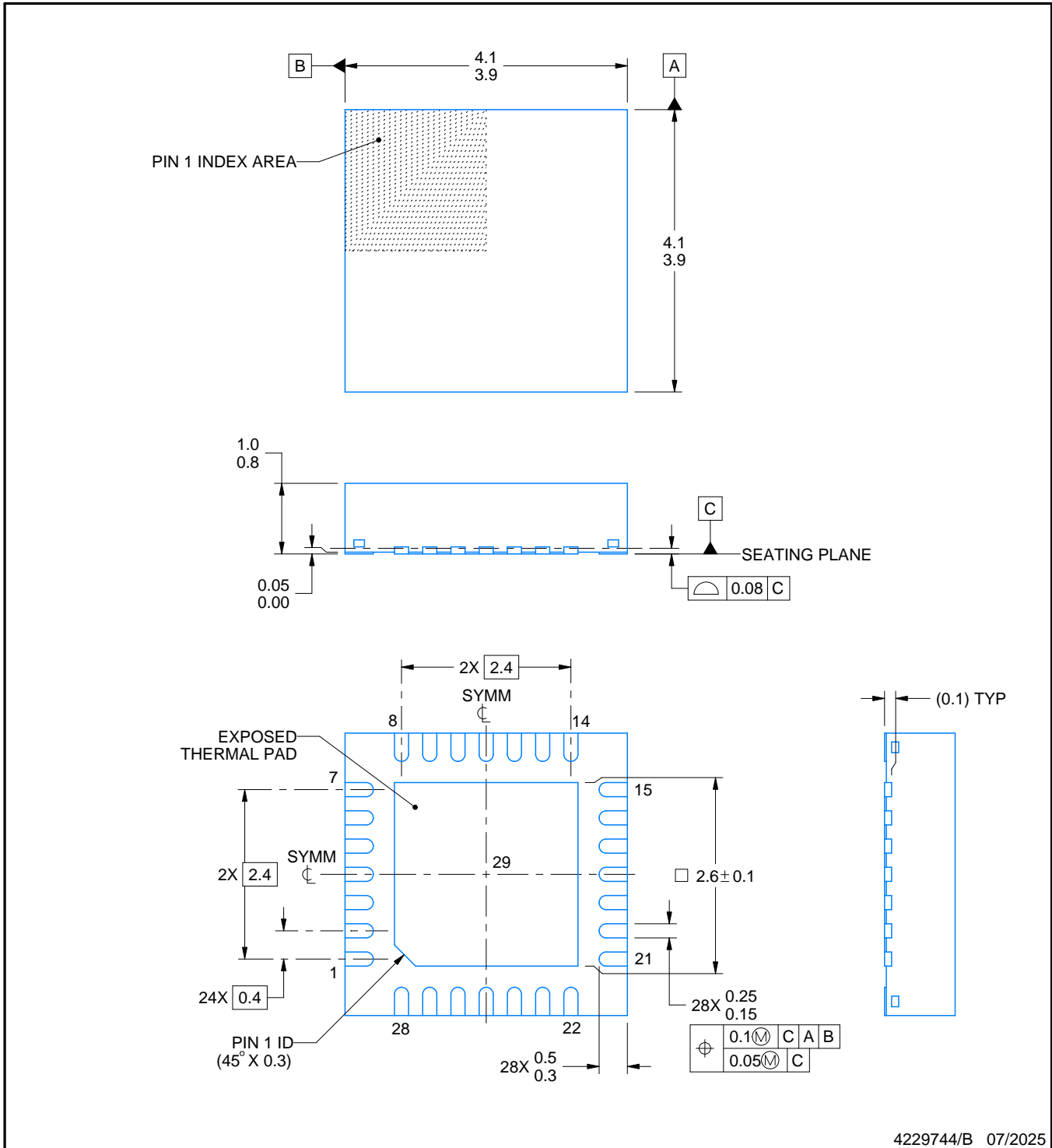
REX0028A



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

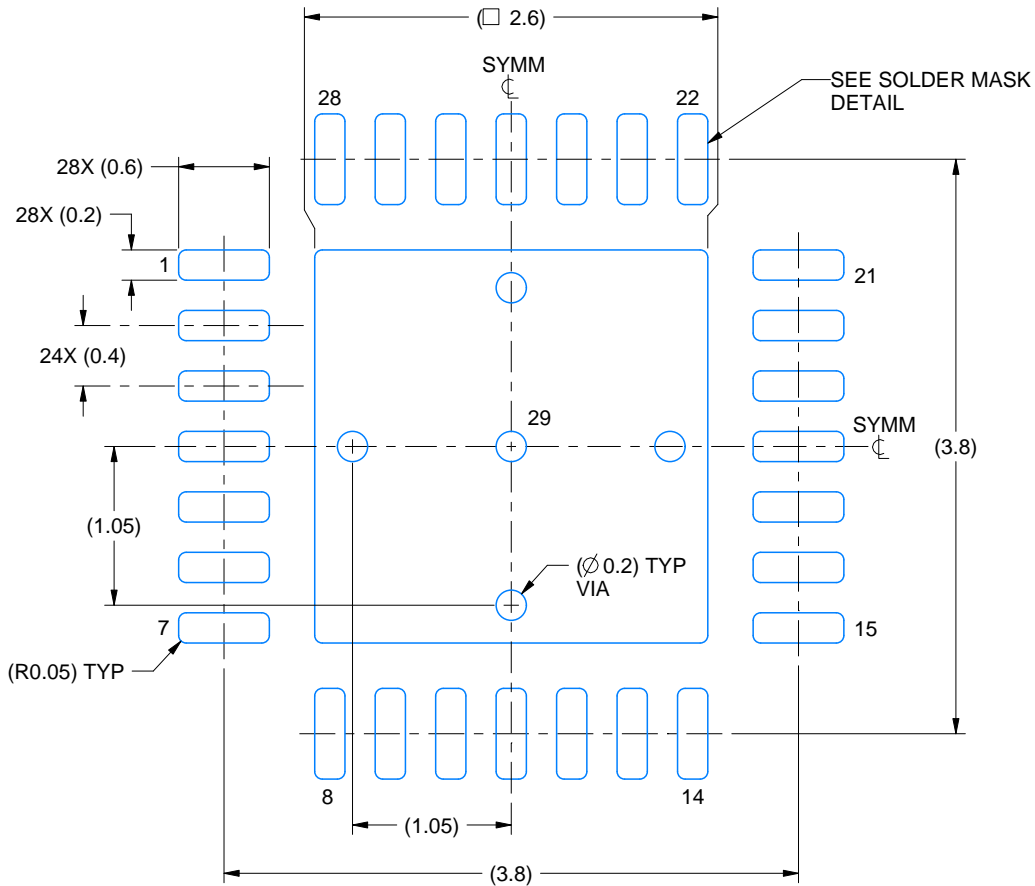
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

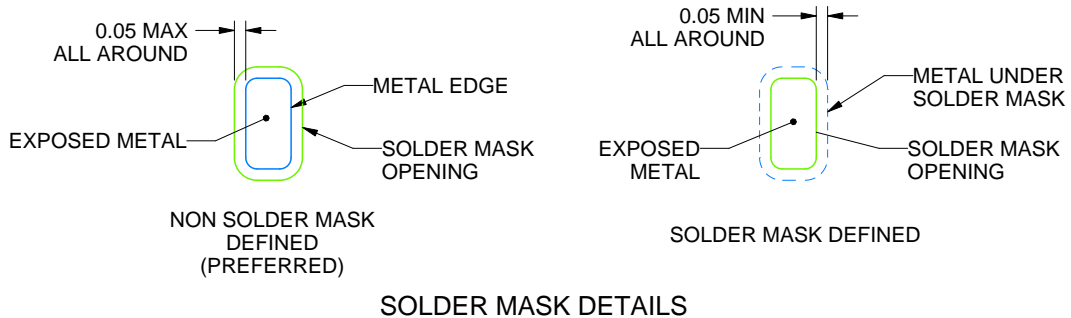
REX0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4229744/B 07/2025

NOTES: (continued)

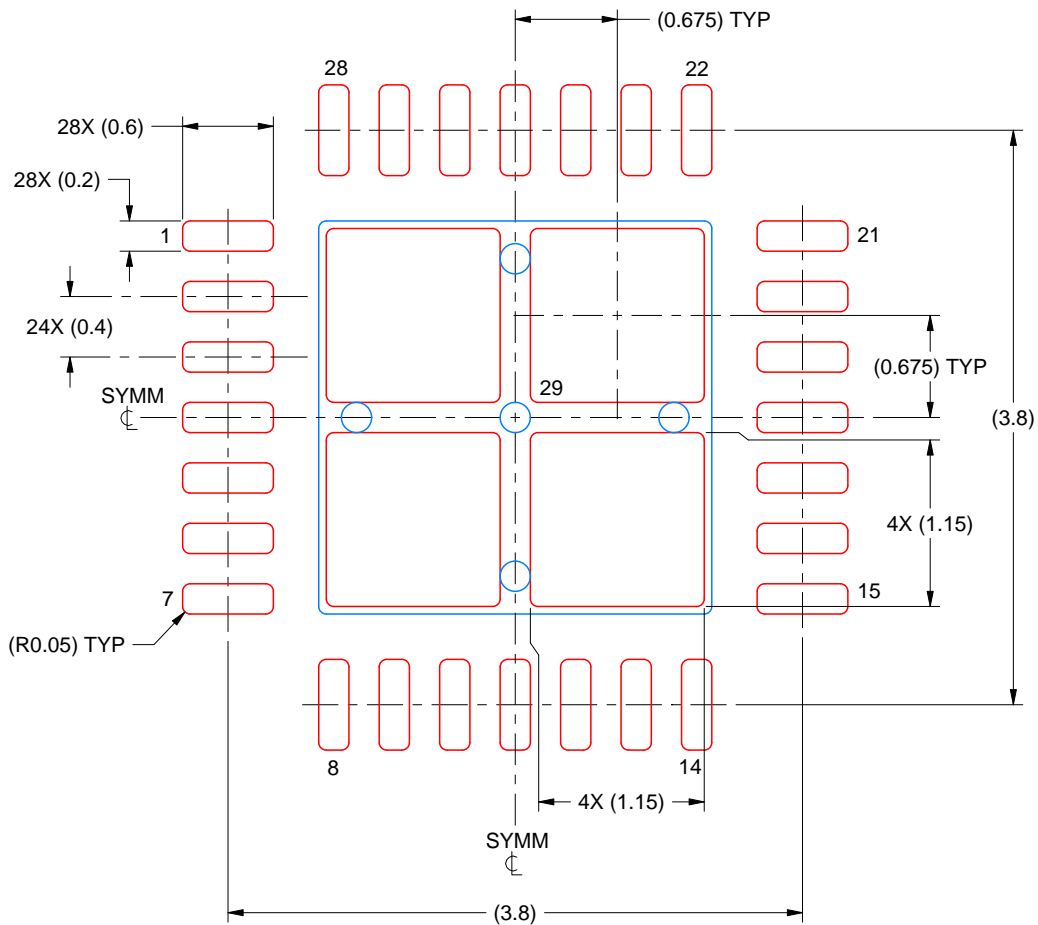
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

REX0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229744/B 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月